

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2001 年 08 月 10 日  
Application Date

申 請 案 號：090119695  
Application No.

申 請 人：旺宏電子股份有限公司  
Applicant(s)

局 長  
Director General

陳 明 邦

發文日期：西元 2002 年 6 月 11 日  
Issue Date

發文字號：  
Serial No. 09111010439

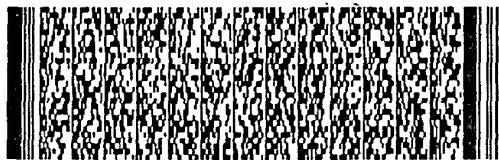
申請日期：案號：

類別：

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	一種非揮發性記憶體
	英文	NON-VOLATILE MEMORY
二、 發明人	姓名 (中文)	1. 閻慶芳
	姓名 (英文)	1. Yen, Ching-Fang
	國籍	1. 中華民國
	住、居所	1. 台北縣新莊市豐年里14鄰豐年街100巷8號
三、 申請人	姓名 (名稱) (中文)	1. 旺宏電子股份有限公司
	姓名 (名稱) (英文)	1. Macronix International Co. Ltd.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學園區力行路十六號
	代表人 姓名 (中文)	1. 胡定華
	代表人 姓名 (英文)	1.

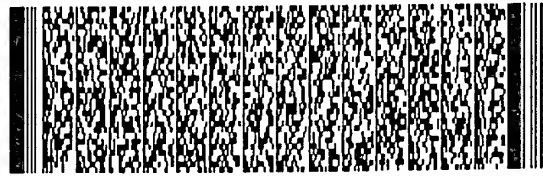
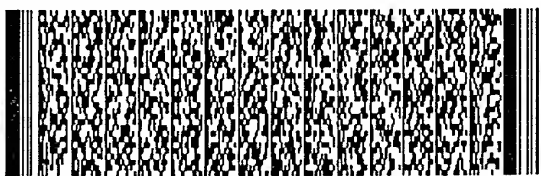


四、中文發明摘要 (發明之名稱：一種非揮發性記憶體)

本發明係提供一種主記憶體陣列直接連接於冗餘記憶體陣列的非揮發性記憶體，且該非揮發性記憶體係具有虛接地陣列結構(virtual ground array structure)。該主記憶體陣列區與該冗餘記憶體陣列區均各包含有複數個記憶胞、複數條位元線以及複數條接地線。其中每一記憶胞皆包含有一源極區與一汲極區形成於一半導體晶片之基底內，每一位元線係與該主記憶體陣列區或該冗餘記憶體陣列區內之一預定數目個記憶胞之汲極區相互電連接，而每一接地線則係與該記憶體陣列區或該冗餘記憶體陣列區內一預定數目個記憶胞之源極區相互電連接。本發明之非揮發性記憶體可經由一控制主記憶體陣列解碼器以及一冗餘記憶體陣列解碼器，使得主記憶體陣列與冗餘記憶體陣

英文發明摘要 (發明之名稱：NON-VOLATILE MEMORY)

The present invention provides a non-volatile memory with a combination of a main memory array region and a redundancy memory array region, and the non-volatile memory has a virtual ground array structure. Both the main memory array region and the redundancy memory array region comprise a plurality of memory cells, a plurality of bit lines, and a plurality of ground lines. Wherein, each memory cell comprises a source and a drain positioned in a substrate of a semiconductor



四、中文發明摘要 (發明之名稱：一種非揮發性記憶體)

列能經由一共用源極/汲極而直接相鄰。

英文發明摘要 (發明之名稱：NON-VOLATILE MEMORY)

wafer. Each bit line is electrically connected to the drains of a predetermined number of memory cells in the main memory array region or the redundancy memory array region, and each ground line is electrically connected to the sources of a predetermined number of memory cells in the main memory array region or the redundancy memory array region. The non-volatile memory according to the present invention utilizes a main memory decoder and a redundancy memory decoder to make the main



四、中文發明摘要 (發明之名稱：一種非揮發性記憶體)

英文發明摘要 (發明之名稱：NON-VOLATILE MEMORY)

memory array region being directly adjacent to the redundancy memory array region through a common source/drain.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

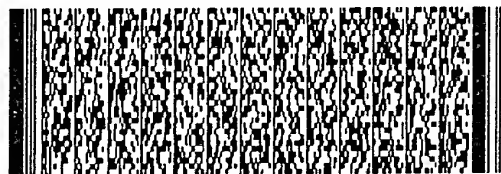
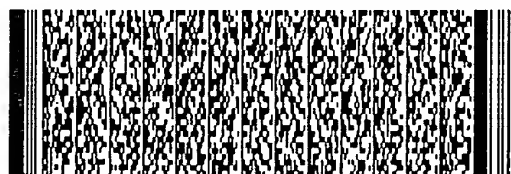
### 發明之領域

本發明提供一種非揮發性記憶體，尤指一種將主記憶體陣列與冗餘記憶體陣列合併的非揮發性記憶體。

### 背景說明

現代的非揮發性記憶體除了包含有傳統的主記憶體陣列之外，也包含了所謂的冗餘記憶體陣列。冗餘記憶體陣列具有與主記憶體陣列完全相同的結構，是用來代替主記憶體陣列中被認定為失效之記憶單元。因此，經由如此設計的非揮發性記憶體，在製造主記憶體陣列之記憶單元時將可容許較大的製造缺陷，進而提升整個非揮發性記憶體的產率及其可使用數量。

請參考圖一，圖一為習知的非揮發性記憶體 10 的方塊圖。非揮發性記憶體 10 是製作於一半導體晶片的基底 (未顯示) 上。非揮發性記憶體 10 包含有一週邊電路區 20 及一記憶體陣列區 50。記憶體陣列區 50 包含有一主記憶體陣列 60 以及一冗餘記憶體陣列 80。週邊電路區 20 包含有一位址衝器 22、一可位址化的記憶單元 24，用來儲存主記憶體陣列 60 中之失效記憶單元的位址資料、一主記憶體陣列接地線解碼器 26，電連接於主記憶體陣列 60 之複數條接地線 GL、一主記憶體陣列位元線解碼器 27、一冗餘記憶體陣列

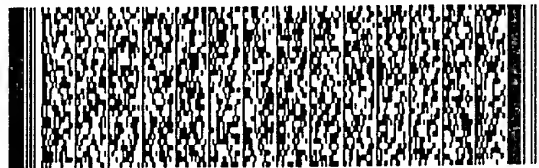


## 五、發明說明 (2)

接地線解碼器 28，電連接於冗餘記憶體陣列 80 之複數條接地線 RGL，以及一冗餘記憶體陣列位元線解碼器 29。其中，各位元線 BL、RBL 係分別電連接於一傳輸電晶體，而主記憶體陣列位元線解碼器 27 係電連接傳輸電晶體 (pass transistor) 之閘極，冗餘記憶體陣列位元線解碼器 29 亦電連接傳輸電晶體之閘極，使得各位元線 BL、RBL 可電連接於資料線 (data line)。

請參考圖二 A 及圖二 B，圖二 A 為習知非揮發性記憶體 10 之記憶體陣列區 50 的結構示意圖，圖二 B 為習知非揮發性記憶體 10 的記憶體陣列區 50 的電路示意圖。非揮發性記憶體 10 是設於一半導體晶片 40 之基底 42 上。記憶體陣列區 50 包含有一主記憶體陣列 60、一冗餘記憶體陣列 80、一場氧化層 (field oxide) 70 設於主記憶體陣列 60 與冗餘記憶體陣列 80 之間，用來隔離主記憶體陣列 60 與冗餘記憶體陣列 80、以及二個虛記憶體 (dummy memory) 72 設於場氧化層 70 的兩側，用來隔離製程中場氧化層 70 對主記憶體陣列 60 與冗餘記憶體陣列 80 造成的影響。

主記憶體陣列 60 包含有 M 條位元線  $BL_1 \sim BL_M$ 、M+1 條接地線  $GL_1 \sim GL_{M+1}$ 、以及複數個記憶胞。每一記憶胞均包含有一源極區 54 與一汲極區 56，形成於半導體晶片 40 之基底 42 內，以及一閘極 58 設於基底 42 之上。每一接地線 GL 分別電連接於主記憶體陣列 60 內之一預定數目個記憶胞之源極區



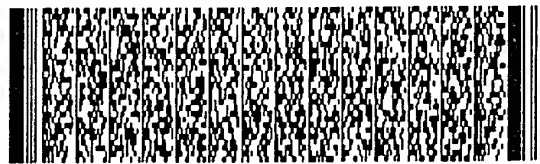


### 五、發明說明 (3)

54，而每一位元線 BL 則分別電連接於主記憶體陣列 60 內之一預定數目個記憶胞之汲極區 56。在  $M+1$  條接地線中， $GL_2 \sim GL_N$  可用來操作兩旁的記憶胞，即接地線  $GL_2 \sim GL_N$  是由兩旁的記憶胞共用的，而接地線  $GL_1$  及  $GL_{M+1}$  則只能用來操作單邊的記憶胞。另外， $BL_1 \sim BL_M$  可用來操作兩旁的記憶胞，即位元線  $BL_1 \sim BL_M$  是由兩旁的記憶胞共用的。

冗餘記憶體陣列 80 包含有  $N$  條位元線  $RBL_1 \sim RBL_N$ 、 $N+1$  條接地線  $RGL_1 \sim RGL_{N+1}$ 、以及複數個記憶胞。每一記憶胞均包含有一源極區 54 與一汲極區 56，形成於半導體晶片 40 之基底 42 內，以及一閘極 58 設於基底 42 之上。每一接地線  $RGL$  分別電連接於冗餘記憶體陣列 80 內之一預定數目個記憶胞之源極區 54，而每一位元線  $RBL$  則分別電連接於冗餘記憶體陣列 80 內之一預定數目個記憶胞之汲極區 56。在  $N+1$  條接地線中， $RGL_2 \sim RGL_N$  可用來操作兩旁的記憶胞，即接地線  $RGL_2 \sim RGL_N$  是由兩旁的記憶胞共用的，而接地線  $RGL_1$  及  $RGL_{N+1}$  則只能用來操作單邊的記憶胞。另外， $RBL_1 \sim RBL_N$  可用來操作兩旁的記憶胞，即位元線  $RBL_1 \sim RBL_N$  是由兩旁的記憶胞所共用。

如圖二 B 所示，欲對非揮發性記憶體 10 中之記憶胞 M2 進行操作時，須先定址接地線  $GL_2$ 、位元線  $BL$  以及字組線  $WL_1$ ，以分別控制記憶胞 M2 之源極 56、汲極 54 以及閘極 58，使記憶胞 M2 得以進行操作。位址緩衝器 22 會分別傳送

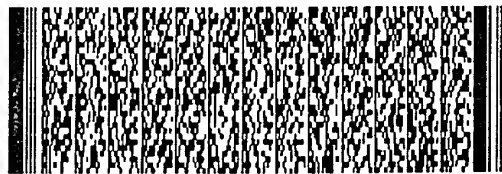
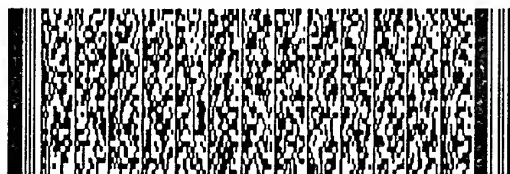


#### 五、發明說明 (4)

一位址信號予可位址化記憶單元 24、主記憶體陣列接地線解碼器 26、主記憶體陣列位元線解碼器 27、冗餘記憶體陣列接地線解碼器 28 以及冗餘記憶體陣列位元線解碼器 29。主記憶體陣列接地線解碼器 26 會根據該位址信號解碼，以定址該接地線  $GL_2$ 。主記憶體陣列位元線解碼器 27 會根據該位址信號解碼，以驅動 (turn on) 各傳輸閘 (pass gate) 來定址位元線  $BL_1$ 。同理，字組線  $WL$  定址的方法也相類似。

如果傳送的位址信號與儲存在可位址化的記憶單元 24 的位址相符時，可位址化的記憶單元 24 將會產生一相符信號，以驅動 (turn on) 冗餘記憶體陣列接地線解碼器 28 及冗餘記憶體陣列位元線解碼器 29。冗餘記憶體陣列接地線解碼器 28 根據位址緩衝器 22 所傳來之位址信號解碼，以定址一冗餘接地線。而冗餘記憶體陣列位元線解碼器 29 則根據位址緩衝器 22 所傳來之位址信號解碼，以驅動 (turn on) 各傳輸閘 (pass gate) 來定址一冗餘位元線。

由於在習知的非揮發性記憶體 10 之記憶體陣列區 50 中，主要是利用設置於主記憶體陣列 60 與冗餘記憶體陣列 80 之間的場氧化層 70 以及場氧化層 70 兩側的二虛記憶體 72，來隔絕主記憶體陣列 60 與冗餘記憶體陣列 80。然而場氧化層 70 以及這些無法儲存資料的虛記憶體 72 會增加記憶體陣列區 50 的佈局面積，因此當半導體製程的設計尺寸不



## 五、發明說明 (5)

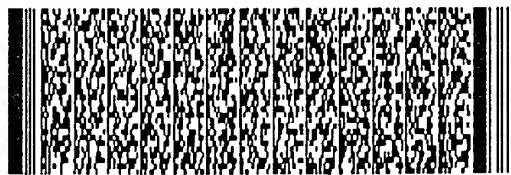
繼續縮小時，如何消除場氧化層 70 及虛記憶體 72 所佔用的佈局面積以增加記憶體陣列區之佈局面積的使用效率為一相當重要的課題。

### 發明概述

本發明之主要目的在於提供一種將主記憶體陣列與冗餘記憶體陣列合併的非揮發性記憶體，以解決習知技術所產生的問題。

本發明係提供一種去除隔絕於主記憶體陣列與冗餘記憶體陣列之間的場氧化層以及虛記憶體，使主記憶體陣列直接連接於冗餘記憶體陣列的非揮發性記憶體，且該非揮發性記憶體係具有虛接地陣列結構 (virtual ground array structure)。該主記憶體陣列區與該冗餘記憶體陣列區均各包含有複數個記憶胞、複數條位元線以及複數條接地線。其中每一記憶胞皆包含有一共用的源極區與一共用的汲極區形成於一半導體晶片之基底內。每一位元線係與該主記憶體陣列區或該冗餘記憶體陣列區內之一預定數目個記憶胞之汲極區相互電連接，而每一接地線則係與該記憶體陣列區或該冗餘記憶體陣列區內之一預定數目個記憶胞之源極區相互電連接。

本發明之非揮發性記憶體可經由控制主記憶體陣列解



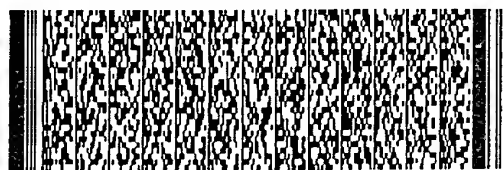
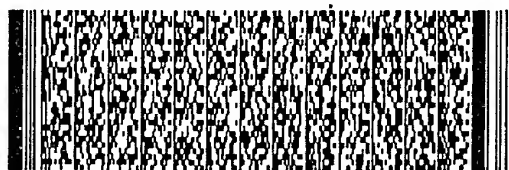
#### 五、發明說明 (6)

碼器以及冗餘記憶體陣列解碼器，使得主記憶體陣列與冗餘記憶體陣列能經由一共用源極/汲極而直接相鄰。也就是說，該主記憶體陣列區之邊界的接地線(或位元線)與該冗餘記憶體陣列區之邊界的接地線(或位元線)即可合併成一條共用接地線(或位元線)而與該共用源極/汲極相電連接，故該主記憶體陣列區係直接相鄰接於該冗餘記憶體陣列區。

由於本發明之非揮發性記憶體係經由控制主記憶體陣列解碼器及冗餘記憶體陣列解碼器，使得主記憶體陣列與冗餘記憶體陣列能直接相鄰接。因此本發明不需要場氧化層及虛記憶體來將主記憶體陣列與冗餘記憶體陣列隔離，故能減少記憶體陣列區的佈局面積。

#### 發明之詳細說明

請參考圖三，圖三為本發明之非揮發性記憶體 110 的部份方塊圖。非揮發性記憶體 110 包含有一週邊電路區 120 及一記憶體陣列區 150，其中位元線之相關部份未顯示於圖三中。記憶體陣列區 150 包含有一主記憶體陣列 160 及一冗餘記憶體陣列 170。週邊電路區 120 包含有一位址緩衝器 122、一可位址化的記憶單元 124，用來儲存主記憶體陣列 160 中之失效記憶單元的位址資料、一接地線解碼器 130，電連接於主記憶體陣列 160 之接地線 GL、一冗餘接地線解



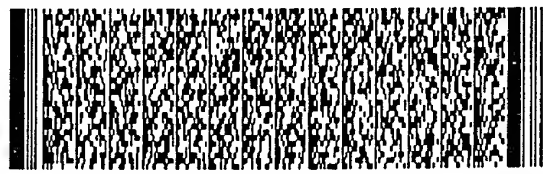
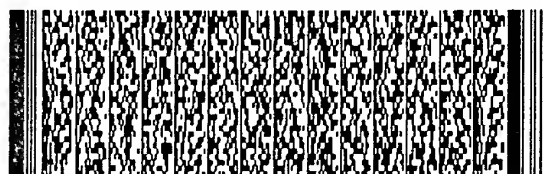
#### 五、發明說明 (7)

碼器 140，電連接於冗餘記憶體陣列 170 之接地線 RGL。

請參考圖四以及圖五，圖四為本發明之非揮發性記憶體 110 之記憶體陣列區 150 的電路圖，圖五為本發明之非揮發性記憶體 110 的記憶體陣列區 150 的結構圖。非揮發性記憶體 110 是設於一半導體晶片 180 之基底 182 上。記憶體陣列區 150 包含有一主記憶體陣列 160 以及一冗餘記憶體陣列 170。其中，主記憶體陣列 160 係直接相連接於冗餘記憶體陣列 170，而且主記憶體陣列 160 之邊界的接地線  $GL_{M+1}$  與冗餘記憶體陣列 170 之邊界的接地線 RGL 是合併成一條共用接地線 GLc，也就是說，設於主記憶體陣列區 160 與冗餘記憶體陣列區 170 之交界處的該主源極區以及該冗餘源極區係為一共用摻雜區。

主記憶體陣列 160 包含有 M 條位元線  $BL_1 \sim BL_M$ 、M+1 條接地線  $GL_1 \sim GL_{M+1}$ ，以及複數個記憶胞。每一記憶胞均包含有一源極區 184 與一汲極區 186 形成於一半導體晶片 180 之基底 182 內，以及一閘極 188 設於基底 182 之上，而閘極 188 可為一控制閘極或一浮接閘極。每一接地線 GL 均分別電連接於主記憶體陣列 160 內之一預定數目個記憶胞之源極區

34，而每一位元線 BL 則分別電連接於主記憶體陣列 160 內之一預定數目個記憶胞之汲極區 186。在 M+1 條接地線中， $GL_2 \sim GL_{M+1}$  可用來操作設於兩旁的記憶胞，即接地線  $GL_2 \sim GL_{M+1}$  是由兩旁的記憶胞共用的，而接地線  $GL_1$ ，因在主記憶體



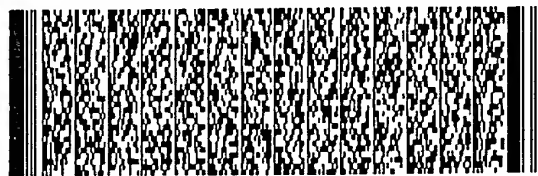
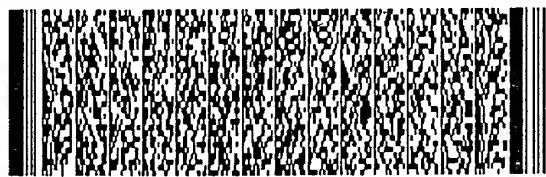
#### 五、發明說明 (8)

陣列 160 的最邊緣，故只能用來操作單邊的記憶胞。

冗餘記憶體陣列 170 包含有  $N$  條位元線  $RBL_1 \sim RBL_N$ 、 $N+1$  條接地線  $RGL_1 \sim RGL_{N+1}$ 、以及複數個記憶胞。每一記憶胞均包含有一源極區 184 及一汲極區 186 形成於半導體晶片 180 之基底 182 內，以及一閘極 188 設於基底 182 之上。每一接地線  $RGL$  均分別電連接於冗餘記憶體陣列 170 內之一預定數目個記憶胞之源極區 184，而每一位元線  $RBL$  則分別電連接於冗餘記憶體陣列 170 內之一預定數目個記憶胞之汲極區 186。在  $N+1$  條接地線中， $RGL_1 \sim RGL_N$  可用來操作兩旁的記憶胞，即接地線  $RGL_1 \sim RGL_N$  是由兩旁的記憶胞共用的，而接地線  $RGL_{N+1}$ ，因在冗餘記憶體陣列 170 的最邊緣，故只能用來操作單邊的記憶胞。

請參考圖六 A，圖六 A 為本發明之接地線解碼器 130' 及冗餘接地線解碼器 140' 之一實施例的邏輯電路圖。接地線解碼器 130' 包含有  $M+1$  個副解碼器

(subdecoder)  $131_{-1}' \sim 131_{-M+1}'$ ，每一個副解碼器  $131'$  係分別對應於主記憶體陣列 160 的一條接地線  $GL'$ 。除了副解碼器  $131_{-1}'$  及  $131_{-M+1}'$  之外，每一個副解碼器  $131_{-2}' \sim 131_{-M}'$  均包含二個三輸入 NAND 閘，用來接收位址信號、一個二輸入的 NAND 閘，其二輸入端分別電連接於二個三輸入 NAND 閘的輸出端，以及一個反向器，其輸入端電連接於 NAND 閘的輸出端。而對應於接地線  $GL_{M+1}'$  的副解碼器  $131_{-M+1}'$  則包含有一



#### 五、發明說明 (9)

個三輸入的 NAND閘 132，用來接收位址信號、一個二輸入的 NAND閘 133以及一反向器 134，其中 NAND閘 133的一輸入端電連接於 NAND閘 132的輸出端，而另一輸入端則電連接於信號傳輸線 136'。

冗餘接地線解碼器 140'則包含有  $N+1$ 個副碼器  $141_{-1}' \sim 141_{-N+1}'$ ，每一個副解碼器  $141'$ 對應於冗餘記憶體陣列 170的一條接地線  $RGL'$ 。除了副解碼器  $RGL_1'$ 及  $RGL_{N+1}'$ 之外，每一個副解碼器  $141_{-2}' \sim 141_{-N}'$ 均包含有二個四輸入 NAND閘，用來接收位址信號以及相符信號、一個二輸入的 NAND閘，其二輸入端分別電連接於二個四輸入 NAND閘的輸出端，以及一個反向器，其輸入端電連接於 NAND閘的輸出端。而對應於接地線  $RGL'$ 的副解碼器  $141_{-1}'$ 包含有一個四輸入的 NAND閘 142，用來接收位址信號及相符信號、一個二輸入的 NAND閘 143以及一個反向器 144，其中 NAND閘 143的一輸入端電連接於 NAND閘 142的輸出端，而另一輸出端則電連接於信號傳輸線 138'。

信號傳輸線 136'的兩端分別電連接於副解碼器  $131_{-M+1}'$ 的二輸入 NAND閘 133的一個輸入端以及副解碼器  $141_{-1}'$ 之四輸入 NAND閘 142的輸出端。而信號傳輸線 138'的兩端則分別電連接於副解碼器  $141_{-1}'$ 的二輸入 NAND閘 143的一個輸入端以及副解碼器  $131_{-M+1}'$ 之三輸入 NAND閘 132的輸出端。

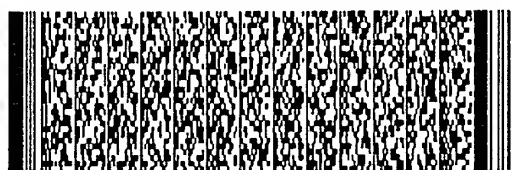


## 五、發明說明 (10)

對非揮發性記憶體 110 進行操作時，位址緩衝器 122 會分別傳送一位址信號予接地線解碼器 130' 以及可位址化的記憶單元 124。接地線解碼器 130' 會根據該位址信號以及信號傳輸線 136' 之信號解碼，以選擇主記憶陣列 160 中適當的接地線 GL'。如果傳送的該位址信號與儲存在可位址化的記憶單元 124 的位址相符時，可位址化的記憶單元 124 將產生一相符信號，而該相符信號使得冗餘接地線解碼器 140' 會根據該位址信號以及信號傳輸線 138' 之信號解碼，以選擇冗餘記憶體陣列 170 中適當的接地線 RGL'。

舉例來說，當接地線解碼器 130' 欲驅動共用接地線 GLc' 時，副解碼器 131<sub>-M+1</sub>' 的輸出 GL'<sub>M+</sub> 被選擇，透過接地線解碼器 130' 的副解碼器 131<sub>-M+1</sub>' 之信號傳輸線 138' 傳輸一互動信號予冗餘接地線解碼器 140' 的副解碼器 141<sub>-1</sub>'，使副解碼器 141<sub>-1</sub>' 的輸出 RGL'<sub>1</sub> 亦被選擇，使得副解碼器 131<sub>-M+1</sub>' 以及 141<sub>-1</sub>' 都被選擇（即等電位輸出）。反之，當冗餘接地線解碼器 140' 欲驅動共用接地線 GLc' 時，副解碼器 141<sub>-1</sub>' 的輸出 RGL' 被選擇，透過接地線解碼器 140' 的副解碼器 141<sub>-1</sub>' 之信號傳輸線 136' 傳輸一互動信號予接地線解碼器 130' 的副解碼器 131<sub>-M+1</sub>'，使副解碼器 131<sub>-M+1</sub>' 的輸出 GL'<sub>M+</sub> 被選擇，使得副解碼器 131<sub>-M+1</sub>' 以及 141<sub>-1</sub>' 都被選擇（即等電位輸出）。

請參考圖六 B，圖六 B 為本發明之接地線解碼器 130'，





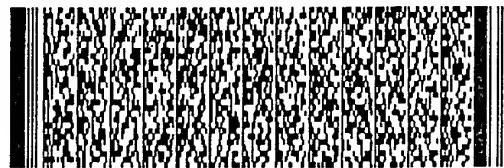
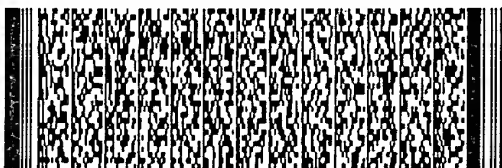
##### 五、發明說明 (11)

及冗餘接地線解碼器 140'' 之另一實施例的邏輯電路圖。本實施例與圖六 A 所述之實施例的主要不同之處在於：對應於接地線  $GL''_{M+1}$  的副解碼器  $131_{-M+1}''$  係包含有一個三輸入的 NAND 閘 132，用來接收位址信號、一反向器 134、以及一三態輸出反向器 135。其中反向器 134 的一輸入端電連接於 NAND 閘 132 的輸出端，三態輸出反向器 135 的一輸入端電連接於反向器 134 的輸出端，而三態輸出反向器 135 的控制端則電連接於信號傳輸線 136''。

副解碼器  $141_{-1}''$  包含有一個四輸入的 NAND 閘 142，用不接收位址信號及相符信號、一反向器 144、以及一三態輸出反向器 145，其中反向器 144 的一輸入端電連接於 NAND 閘 142 的輸出端，三態輸出反向器 145 的一輸入端電連接於反向器 144 的輸出端，而三態輸出反向器 145 的控制端則電連接於信號傳輸線 138''。

信號傳輸線 136'' 的兩端分別電連接於副解碼器  $131_{-M+1}''$  之三態反向器 135 的控制端以及副解碼器  $141_{-1}''$  之四輸入 NAND 閘 142 的輸出端。而信號傳輸線 138'' 的兩端則分別電連接於副解碼器  $141_{-1}''$  的反向器 145 的控制端以及解碼器  $131_{-M+1}''$  之三輸入 NAND 閘 132 的輸出端。

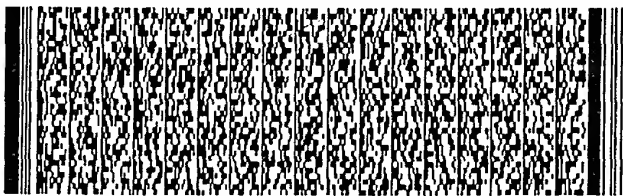
如圖六 A 所述之操作程序一樣，對非揮發性記憶體 110 進行操作時，位址緩衝器 122 會分別傳送一位址信號予接



##### 五、發明說明 (12)

地線解碼器 130'' 以及可位址化的記憶單元 124。接地線解碼器 130'' 會根據該位址信號以及信號傳輸線 136'' 之信號解碼，以選擇主記憶陣列 160 中適當的接地線 GL''。如果傳送的該位址信號與儲存在可位址化的記憶單元 124 的位址相符時，可位址化的記憶單元 124 將產生一相符信號，而該相符信號使得冗餘接地線解碼器 140'' 會根據該位址信號以及信號傳輸線 138'' 之信號解碼，以選擇冗餘記憶體陣列 170 中適當的接地線 RGL''。

例如當接地線解碼器 130'' 欲驅動共用接地線 GLc'' 時，副解碼器 131<sub>-M+1</sub>'' 的輸出 GL<sub>M+1</sub>'' 被選擇，透過接地線解碼器 130'' 的副解碼器 131<sub>-M+1</sub>'' 之傳輸線 138'' 傳輸一互動信號予冗餘接地線解碼器 140'' 的副解碼器 141<sub>-1</sub>''，使副解碼器 141<sub>-1</sub>'' 的輸出 RGL<sub>1</sub>'' 形成輸出開路狀態而無法操控共用接地線 GLc''，亦即共用接地線 GLc'' 的電位是由副解碼器 131<sub>-M+1</sub>'' 的輸出來決定。反之，當冗餘接地線解碼器 140'' 欲驅動共用接地線 GLc'' 時，副解碼器 141<sub>-1</sub>'' 的輸出 RGL<sub>1</sub>'' 被選擇，透過接地線解碼器 140'' 的副解碼器 141<sub>-1</sub>'' 之信號傳輸線 136'' 傳輸一互動信號予接地線解碼器 130'' 的副解碼器 131<sub>-M+1</sub>''，使副解碼器 131<sub>-M+1</sub>'' 的輸出 L<sub>M+1</sub>'' 形成輸出開路狀態而無法操控共用接地線 GLc''，亦即共用接地線 GLc'' 的電位是由副解碼器 141<sub>-1</sub>'' 的輸出來決定。

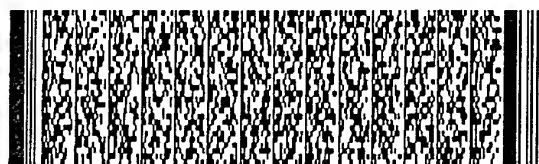


##### 五、發明說明 (13)

因此，本發明是經由控制接地線解碼器 130'/130'' 及冗餘接地線解碼器 140'/140''，使得主記憶體陣列 160 與冗餘記憶體陣列 170 能直接相連。在上述的二實施例中，主記憶體陣列 160 與冗餘記憶體陣列 170 是共用一源極且形成一共用接地線，並且利用接地線解碼器 130'/130'' 之信號傳輸線 138'/138'' 所傳來的互動信號來控制冗餘接地線解碼器 140'/140''，以及利用冗餘接地線解碼器 140'/140'' 之信號傳輸線 136'/136'' 所傳來的互動信號來控制接地線解碼器 130'/130''，使得各該電位能被正確的施加於該共用接地線上。

除了經由共用一條接地線之外，亦可經由共用一條位元線而將主記憶體陣列 160 與冗餘記憶體陣列 170 直接相連。請參考圖七，圖七為本發明之非揮發性記憶體 210 的部份方塊圖。非揮發性記憶體 210 包含有一週邊電路區 220 及一記憶體陣列區 250，其中接地線之相關部份未顯示於圖七中。記憶體陣列區 250 包含有一主記憶體陣列 260 及一冗餘記憶體陣列 270。週邊電路區 220 包含有一位址緩衝器 222、一可位址化的記憶單元 224，用來儲存主記憶體陣列 260 中之失效記憶單元的位址資料、一位元線解碼器 230，連接於主記憶體陣列 260 之位元線 BL、一冗餘位元線解碼器 240，電連接於冗餘記憶體陣列 270 之位元線 RBL。

請參考圖八與圖九，圖八為本發明之非揮發性記憶體

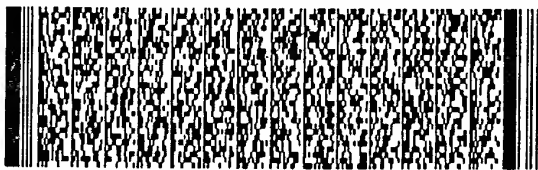


##### 五、發明說明 (14)

210之記憶體陣列區 250的電路圖，圖九為本發明之非揮發性記憶體 210的記憶體陣列區 250的結構圖。非揮發性記憶體 210是設於一半導體晶片 280之基底 282上。記憶體陣列區 250包含有一主記憶體陣列 260以及一冗餘記憶體陣列 270。其中，主記憶體陣列 260與冗餘記憶體陣列 270直接相連接，而主記憶體陣列 260之邊界的位元線  $BL_{M+1}$  與冗餘記憶體陣列 270之邊界的位元線 RBL 是合併成一條共用位元線  $BL_c$ ，亦即設於主記憶體陣列區 260與冗餘記憶體陣列區 270之交界處的該主汲極區以及該冗餘汲極區係為一共用摻雜區。

主記憶體陣列 260包含有  $M+1$  條位元線  $BL_1 \sim BL_{M+1}$ 、 $M$  條接地線  $GL_1 \sim GL_M$ 、以及複數個記憶胞。每一記憶胞均包含有一源極區 286與一汲極區 284形成於一半導體晶片 280之基底 282內，以及一閘極 288設於基底 282之上。每一接地線  $GL$  分別電連接於主記憶體陣列 260內之一預定數目個記憶胞之源極區 286，而每一位元線  $BL$  則分別電連接於主記憶體陣列 260內之一預定數目個記憶胞之汲極區 284。在  $M+1$  條位元線中， $BL_2 \sim BL_{M+1}$  可用來操作設於兩旁的記憶胞，即位元線  $BL_2 \sim BL_{M+1}$  是由兩旁的記憶胞共用的，而在主記憶體陣列 260最邊緣的位元線  $BL_1$  則只能用來操作單邊的記憶胞。

冗餘記憶體陣列 270包含有  $N+1$  條位元線  $RBL_1 \sim RBL_{N+1}$ 、 $N$  條接地線  $RGL_1 \sim RGL_N$ 、以及複數個記憶胞。每一記憶胞均包

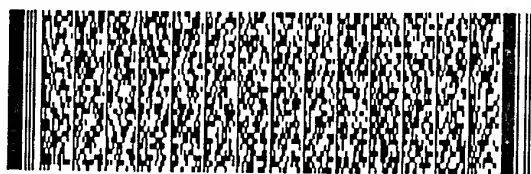
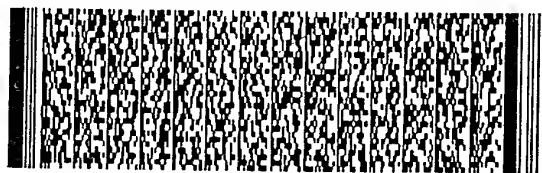


#### 五、發明說明 (15)

含有一源極區 286 及一汲極區 284 形成於半導體晶片 280 之基底 282 內，以及一閘極 288 設於基底 282 之上。每一接地線 RGL 分別電連接於冗餘記憶體陣列 270 內之一預定數目個記憶胞之源極區 286，而每一位元線 RBL 則分別電連接於冗餘記憶體陣列 270 內之一預定數目個記憶胞之汲極區 284。在  $N+1$  條位元線中， $RBL_1 \sim RBL_N$  可用來操作兩旁的記憶胞，即位元線  $RBL_1 \sim RBL_N$  是由兩旁的記憶胞共用的，而位元線  $RBL_{N+1}$  則只能用來操作單邊的記憶胞。

請參考圖十 A，圖十 A 為本發明之位元線解碼器 230' 及冗餘位元線解碼器 240' 邏輯電路圖。位元線解碼器 230' 包含有  $M+1$  個副解碼器  $231_{-1}' \sim 231_{-M+1}'$ ，每一副解碼器  $231'$  分別對應於主記憶體陣列 260 的一條位元線  $BL'$ 。除了副解碼器  $231_{-1}'$  及  $231_{-M+1}'$  之外，每一個副解碼器  $231_{-2}' \sim 231_{-M}'$  均包含有二個三輸入 NAND 閘，用來接收位址信號、一個二輸入的 NAND 閘，其二輸入端分別電連接於二個三輸入 NAND 閘的輸出端，以及一個反向器 234，其輸入端電連接於 NAND 閘的輸出端。而對應於位元線  $BL_{M+1}'$  的副解碼器  $231_{-M+1}'$  包含有一個三輸入的 NAND 閘 232，用來接收位址信號、一個二輸入的 NAND 閘 233 以及一反向器 234，其中 NAND 閘 233 的一輸入端電連接於 NAND 閘 232 的輸出端，而控制端則電連接於信號傳輸線 236'。

冗餘位元線解碼器 240' 則包含有  $N+1$  個副碼器



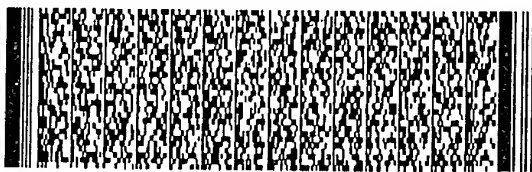
##### 五、發明說明 (16)

$241_{-1}' \sim 241_{-N+1}'$ ，每一副解碼器  $241'$  對應於冗餘記憶體陣列 270 的一條位元線  $RBL'$ 。除了副解碼器  $241_{-1}'$  及  $241_{-N+1}'$  之外，每一個副解碼器  $241_{-2}' \sim 241_{-N}'$  均包含有二個四輸入 NAND 閘，用來接收位址信號以及相符信號、一個二輸入的 NAND 閘，其二輸入端分別電連接於二個四輸入 NAND 閘的輸出端，以及一個反向器。而對應於位元線  $RBL_1'$  的副解碼器  $241_{-1}'$  包含有一個四輸入的 NAND 閘 242，用來接收位址信號以及相符信號、一個二輸入的 NAND 閘 243，其一輸入端電連接於 NAND 閘 242 的輸出端，而控制端則電連接於信號傳輸線 238'。

信號傳輸線 236' 的兩端分別電連接於副解碼器  $231_{-M+1}'$  的二輸入 NAND 閘 233 的一個輸入端及副解碼器  $241_{-1}'$  之四輸入 NAND 閘 242 的輸出端。而信號傳輸線 238' 的兩端則分別電連接於副解碼器  $241_{-1}'$  的二輸入 NAND 閘 243 的一個輸入端及副解碼器  $231_{-M+1}'$  之三輸入 NAND 閘 232 的輸出端。

對非揮發性記憶體 210 進行操作時，位址緩衝器 222 會分別傳送一位址信號予位元線解碼器 230' 及可位址化的記憶單元 224。位元線解碼器 230' 會先將該位址信號解碼，

選擇主記憶體陣列 260 中適當的位元線 BL。如果傳送的位址信號與儲存在可位址化的記憶單元 224 的位址相符時，可位址化的記憶單元 224 將產生一相符信號，而該相符信號使得冗餘位元線解碼器 240' 會根據該位址信號以及

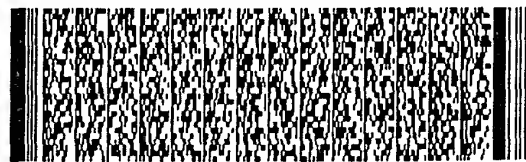


##### 五、發明說明 (17)

信號傳輸線 236' 之信號解碼，以選擇冗餘記憶體陣列 270 中適當的位元線 RBL'。

當位元線解碼器 230' 欲驅動共用位元線 BL<sub>c</sub>' 時，副解碼器 231<sub>-M+1</sub>' 的輸出 BL<sub>M+1</sub>' 被選擇，透過位元線解碼器 230' 的副解碼器 231<sub>-M+1</sub>' 之信號傳輸線 238' 傳輸一互動信號予冗餘位元線解碼器 240' 的副解碼器 241<sub>-1</sub>'，使副解碼器 241<sub>-1</sub>' 的輸出 RBL<sub>1</sub>' 亦被選擇，使得副解碼器 231<sub>-M+1</sub>' 以及 241<sub>-1</sub>' 都被選擇 (即等電位輸出)。反之，當冗餘位元線解碼器 240' 欲驅動共用接地線 GL<sub>c</sub>' 時，副解碼器 241<sub>-1</sub>' 的輸出 RBL<sub>1</sub>' 被選擇，透過位元線解碼器 240' 的副解碼器 241<sub>-1</sub>' 之信號傳輸線 236' 傳輸一互動信號予位元線解碼器 230' 的副解碼器 231<sub>-M+1</sub>'，使副解碼器 231<sub>-M+1</sub>' 的輸出 BL<sub>M+1</sub>' 亦被選擇，使得副解碼器 231<sub>-M+1</sub>' 以及 241<sub>-1</sub>' 都被選擇 (即等電位輸出)。

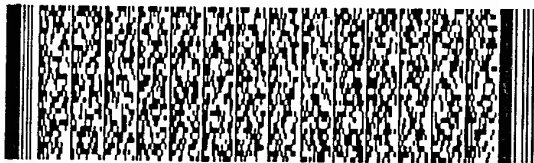
同理，請參考圖十 B，圖十 B 為本發明之位元線解碼器 230'' 及冗餘位元線解碼器 240'' 之另一實施例的邏輯電路圖。其中對應於位元線 BL<sub>M+1</sub>' 的副解碼器 231<sub>-M+1</sub>' 則包含有一個三輸入的 NAND 閘 232、一反向器 234、以及一三態輸出反向器 235，其中三態輸出反向器 235 的控制端係電連接信號傳輸線 236''。而對應於位元線 RBL<sub>1</sub>' 的副解碼器 241<sub>-1</sub>' 包含有一個四輸入的 NAND 閘 242，用來接收位址信號及相符信號、一反向器 244、以及一三態輸出反向器 245，其中反向器 245 的控制端則電連接於信號傳輸線



238''。

如圖六 B所述之操作程序一樣，圖十 B所揭露之實施例在對非揮發性記憶體 210進行操作時，位址緩衝器 222亦會分別傳送一位址信號予位元線解碼器 230''以及可位址化的記憶單元 224。位元線解碼器 230''會先將該相符信號以及位址信號解碼，以選擇主記憶陣列 260中適當的位元線 BL。如果傳送的該位址信號與儲存在可位址化的記憶單元 224的位址相符時，可位址化的記憶單元 224將產生一相符信號，而該相符信號使得冗餘位元線解碼器 240''會根據可位址化的記憶單元 224傳來的信號解碼，以選擇冗餘記憶體陣列 270中適當的位元線 RBL''。

在上述的圖十 A、B二實施例中，本發明是經由控制位元線解碼器 230'/230''及冗餘位元線解碼器 240'/240''，使得主記憶體陣列 260與冗餘記憶體陣列 270能直接相連。也就是說，主記憶體陣列 260與冗餘記憶體陣列 270是共用一汲極且形成一共用位元線，並且利用位元線解碼器 230'/230''之信號傳輸線 238'/238''所傳來的互動信號來控制冗餘位元線解碼器 240'/240''，以及利用冗餘位元線解碼器 240'/240''之信號傳輸線 236'/236''所傳來的互動信號來控制位元線解碼器 230'/230''，使得各該電位能被正確的施加於該共用位元線上。

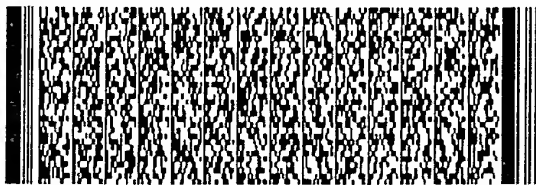




##### 五、發明說明 (19)

相較於習知的非揮發性記憶體，由於主記憶體陣列與冗餘記憶體陣列之間設置了場氧化層以及虛記憶體，浪費了佈局面積，而本發明則經由控制主記憶體陣列解碼器及冗餘記憶體陣列解碼器，使得主記憶體陣列與冗餘記憶體陣列能直接相連，不需要場氧化層及虛記憶體來將主記憶體陣列與冗餘記憶體陣列隔離，故能減少記憶體陣列區的佈局面積，且本發明之非揮發性記憶體係為一係具有虛接地陣列結構的非揮發性記憶體。

以上所述僅本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一為習知之非揮發性記憶體之方塊圖。

圖二 A為習知非揮發性記憶體之記憶體陣列區的結構示意圖。

圖二 B為習知非揮發性記憶體的記憶體陣列區的電路示意圖。

圖三為本發明之非揮發性記憶體的部份方塊圖。

圖四為本發明之非揮發性記憶體的記憶體陣列區的電路圖。

圖五為本發明之非揮發性記憶體的記憶體陣列區的結構圖。

圖六 A為本發明之接地線解碼器及冗餘接地線解碼器之一實施例的邏輯電路圖。

圖六 B為本發明之接地線解碼器及冗餘接地線解碼器之另一實施例的邏輯電路圖。

圖七為本發明之非揮發性記憶體的部份方塊圖。

圖八為本發明之非揮發性記憶體的記憶體陣列區的電路圖。

圖九為本發明之非揮發性記憶體的記憶體陣列區的結構圖。

圖十 A為本發明之位元線解碼器及冗餘位元線解碼器邏輯電路圖。

圖十 B為本發明之位元線解碼器及冗餘位元線解碼器



# 圖式簡單說明

之另一實施例的邏輯電路圖。

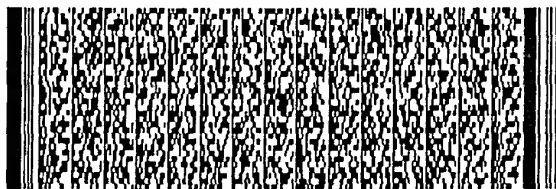
## 圖示之符號說明

10	非揮發性記憶體
20	週邊電路區
22	位址緩衝器
24	可位址化記憶體單元
26	主記憶體陣列接地線解碼器
27	主記憶體陣列位元線解碼器
28	冗餘記憶體陣列接地線解碼器
29	冗餘記憶體陣列位元線解碼器
50	記憶體陣列區
60	主記憶體陣列
70	場氧化層
72	虛記憶體
80	冗餘記憶體陣列 GL、RGL 接地線
BL、RBL	位元線
110	非揮發性記憶體
120	週邊電路區
122	位址緩衝器
124	可位址化記憶體單元
130、130'、130''	接地線解碼器
230、230'、230''	位元線解碼器



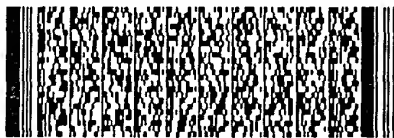
圖式簡單說明

131'、141'、231'、241'、131''、141''、231''、241''	副解碼器
132、133、142、143、232、233、242、243	NAND閘
134、144、234、244	反向器
135、145、235、245	三態輸出反向器
140、140'、140''	冗餘接地線解碼器
240、240'、240''	冗餘位元線解碼器
136、138、136'、138'、136''、138''	信號傳輸線
236'、238'、236''、238''	信號傳輸線
150	記憶體陣列區
160	主記憶體陣列
170	冗餘記憶體陣列
180	半導體晶片
182	基底
184	源極
186	汲極
188	閘極
210	非揮發性記憶體
220	週邊電路區
222	位址緩衝器
224	可位址化記憶體單元
230	位元線解碼器
232	冗餘位元線解碼器
236、238	信號傳輸線



圖式簡單說明

250	記憶體陣列區
260	主記憶體陣列
270	冗餘記憶體陣列
280	半導體晶片
282	基底
284	汲極
286	源極
288	閘極



## 六、申請專利範圍

1. 一種係設於一半導體晶片之基底上的非揮發性記憶體，該非揮發性記憶體包含有：

一主記憶體陣列區 (main memory array)，且該主記憶體陣列區包含有：

至少一主記憶胞 (memory cell)，且該主記憶胞包含有一主源極區 (source) 與一主汲極區 (drain) 設於該半導體晶片之基底內；

至少一主位元線 (bit lines)，且該主位元線係電連接於該主記憶胞之該主汲極區；

至少一主接地線 (ground lines)，且該主接地線係電連接於該主記憶胞之該主源極區；

一直接相連接於該主記憶體陣列區之冗餘記憶體陣列區 (redundancy memory array)，且該冗餘記憶體陣列區包含有：

至少一冗餘記憶胞，且該冗餘記憶胞包含有一冗餘源極區與一冗餘汲極區設於該半導體晶片之基底內；

至少一冗餘位元線，且該冗餘位元線係與該冗餘記憶胞之該冗餘汲極區相互電連接；

至少一冗餘接地線，且該冗餘接地線係與該冗餘記憶胞之該冗餘源極區相互電連接；以及

一共用源極區，用來當作該主記憶體陣列區與該冗餘記憶體陣列區之交界處的該主源極區以及該冗餘源極區。

2. 如申請專利範圍第 1 項之非揮發性記憶體，其中該非



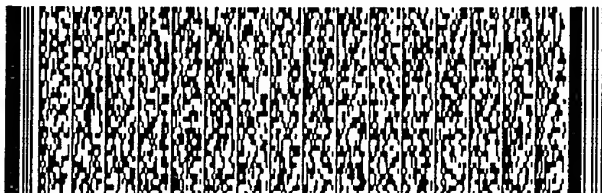
#### 六、申請專利範圍

揮發性記憶體另包含有一週邊電路區，且該週邊電路區包含有：

一主記憶體接地線解碼器 (main memory ground line decoder)，電連接於該主記憶體陣列區之該主接地線；  
一冗餘記憶體接地線解碼器 (redundancy memory ground line decoder)，電連接於該冗餘記憶體陣列區之該冗餘接地線；以及  
至少二信號傳輸線，且各該信號傳輸線的兩端係分別電連接於該主記憶體接地線解碼器與該冗餘記憶體接地線解碼器。

3. 如申請專利範圍第2項之非揮發性記憶體，其中該共用源極區係電連接於一共用接地線，當該主記憶體接地線解碼器定址該共用接地線時，該主記憶體接地線解碼器會經由該一信號傳輸線來傳輸一信號予該冗餘記憶體接地線解碼器，以決定該共用接地線之電位，並使該共用接地線與該冗餘記憶體接地線解碼器間之電性連接形成開路狀態；反之，當該冗餘記憶體接地線解碼器定址該共用接地線時，該冗餘記憶體接地線解碼器會經由該另一信號傳輸線來傳輸一信號予該主記憶體接地線解碼器，以決定該共用接地線之電位，並使該共用接地線與該主記憶體接地線解碼器間之電性連接形成開路狀態。

4. 如申請專利範圍第3項之非揮發性記憶體，其中該主



#### 六、申請專利範圍

記憶體接地線解碼器中電連接至該共用接地線之該副解碼器包含有一用來接收位址信號之三輸入的 NAND 閘、一個反向器以及一個三態反向器，且該反向器之一輸入端係電連接於該三輸入之 NAND 閘的輸出端，而該三態反向器之控制端則係電連接於該冗餘接地線解碼器中電連接於該共用接地線之副解碼器之四輸入 NAND 閘的輸出端；而該冗餘記憶體接地線解碼器中電連接至該共用接地線之該副解碼器則包含有一用來接收位址信號以及相符信號之四輸入的 NAND 閘、一個反向器以及一個三態反向器，且該反向器之輸入端係電連接於該四輸入之 NAND 閘的輸出端，而該三態反向器之控制端則係電連接於該主記憶體接地線解碼器中電連接於該共用接地線之副解碼器的三輸入 NAND 閘的輸出端。

5. 如申請專利範圍第 2 項之非揮發性記憶體，其中該共用源極區係電連接於一共用接地線，當該主記憶體接地線解碼器定址該共用接地線時，該主記憶體接地線解碼器會經由該一信號傳輸線來傳輸一信號予該冗餘記憶體接地線解碼器，使得電連接到該共用接地線之各該副解碼器都被選擇而呈等電位輸出；反之，當該冗餘記憶體接地線解碼器定址該共用接地線時，該冗餘記憶體接地線解碼器會經由該一信號傳輸線來傳輸一信號予該主記憶體接地線解碼器，使得連接到該共用接地線之各該副解碼器都被選擇而呈等電位輸出。





#### 六、申請專利範圍

6. 如申請專利範圍第5項之非揮發性記憶體，其中該主記憶體接地線解碼器中連接至該共用接地線之該副解碼器包含有一用來接收位址信號之三輸入的NAND閘、一個二輸入的NAND閘以及一反向器，且該二輸入NAND閘的一輸入端係電連接於該三輸入之NAND閘的輸出端，而該二輸入NAND閘的另一輸入端則係電連接於冗餘接地線解碼器中電連接於該共用接地線之副解碼器的四輸入NAND閘的輸出端；而該冗餘記憶體接地線解碼器中連接至該共用接地線之該副解碼器則包含有一用來接收位址信號以及相符信號之四輸入的NAND閘、一個二輸入的NAND閘以及一個反向器，且該一輸入NAND閘的一輸入端係電連接於該四輸入之NAND閘的輸出端，而該二輸入NAND閘的另一輸入端則係電連接於該主記憶體接地線解碼器中電連接於該共用接地線之副解碼器的三輸入NAND閘的輸出端。

7. 如申請專利範圍第1項之非揮發性記憶體，其中該非揮發性記憶體係為一具有虛接地陣列結構的非揮發性記憶體。

8. 一種係設於一半導體晶片之基底上的非揮發性記憶體，該非揮發性記憶體包含有：  
一主記憶體陣列區，且該主記憶體陣列區包含有：  
至少一主記憶胞，且該主記憶胞包含有一主源極區與一主汲極區設於該半導體晶片之基底內；



#### 六、申請專利範圍

至少一主位元線，且該主位元線係電連接於該主記憶胞之該主汲極區；

至少一主接地線，且該主接地線係電連接於該主記憶胞之該主源極區；

一直接相連接於該主記憶體陣列區之冗餘記憶體陣列區，且該冗餘記憶體陣列區包含有：

至少一冗餘記憶胞，且該冗餘記憶胞包含有一冗餘源極區與一冗餘汲極區設於該半導體晶片之基底內；

至少一冗餘位元線，且該冗餘位元線係與該冗餘記憶胞之該冗餘汲極區相互電連接；

至少一冗餘接地線，且該冗餘接地線係與該冗餘記憶胞之該冗餘源極區相互電連接；以及

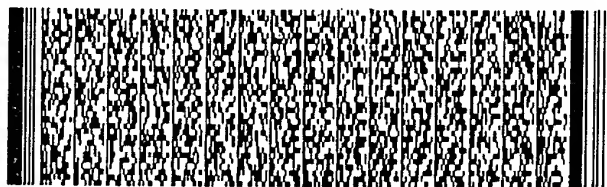
一共用汲極區，用來當作該主記憶體陣列區與該冗餘記憶體陣列區之交界處的該主汲極區以及該冗餘汲極區。

9. 如申請專利範圍第8項之非揮發性記憶體，其中該非揮發性記憶體另包含有一週邊電路區，且該週邊電路區包含有：

一主記憶體位元線解碼器，電連接於該主記憶體陣列區之該主位元線；

一冗餘記憶體位元線解碼器，電連接於該冗餘記憶體陣列區之該冗餘位元線；以及

至少二信號傳輸線，且各該信號傳輸線的兩端係分別電連接於該主記憶體位元線解碼器與該冗餘記憶體位元線解碼

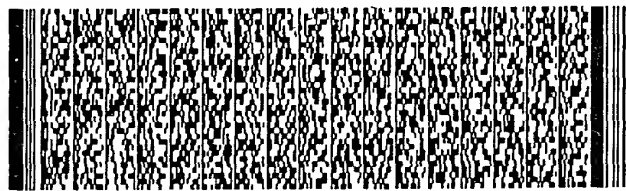


## 六、申請專利範圍

器。

10. 如申請專利範圍第9項之非揮發性記憶體，其中該共用汲極區係電連接於一共用位元線，當該主記憶體位元線解碼器定址該共用位元線時，該主記憶體位元線解碼器會經由該一信號傳輸線來傳輸一信號予該冗餘記憶體位元線解碼器，以決定該共用位元線之電位，並使該共用位元線與該冗餘記憶體位元線解碼器間之電性連接形成開路狀態；反之，當該冗餘記憶體位元線解碼器定址該共用位元線時，該冗餘記憶體位元線解碼器會經由該另一信號傳輸線來傳輸一信號予該主記憶體位元線解碼器，以決定該共用位元線之電位，並使該共用位元線與該主記憶體位元線解碼器間之電性連接形成開路狀態。

11. 如申請專利範圍第10項之非揮發性記憶體，其中該主記憶體位元線解碼器中電連接至該共用位元線之該副解碼器包含有一用來接收位址信號之三輸入的NAND閘、一個反向器以及一個三態反向器，且該反向器的一輸入端係電連接於該三輸入之NAND閘的輸出端，而該三態反向器之控制端則係電連接於該冗餘位元線解碼器中電連接於該共用位元線之該副解碼器之四輸入NAND閘的輸出端；而該冗餘記憶體位元線解碼器中連接至該共用位元線之該副解碼器則包含有一用來接收位址信號以及相符信號之四輸入的NAND閘、一個反向器以及一個三態反向器，且該反向器之輸入



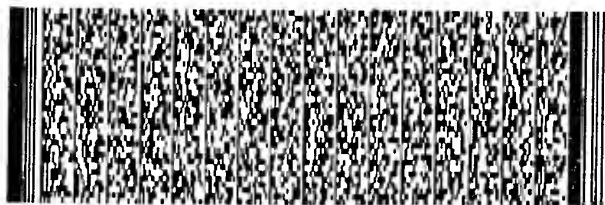
#### 六、申請專利範圍

端係電連接於該四輸入之 NAND 閘的輸出端，而該三態反向器之輸入端則係電連接於該主記憶體位元線解碼器中電連接於該共用位元線之副解碼器的三輸入 NAND 閘的輸出端。

12. 如申請專利範圍第 9 項之非揮發性記憶體，其中該共用汲極區係電連接於一共用位元線，當該主記憶體位元線解碼器定址該共用位元線時，該主記憶體位元線解碼器會經由該一信號傳輸線來傳輸一信號予該冗餘記憶體位元線解碼器，使得電連接到該共用位元線之各該副解碼器都被選擇而呈等電位輸出；反之，當該冗餘記憶體位元線解碼器定址該共用位元線時，該冗餘記憶體位元線解碼器會經由該一信號傳輸線來傳輸一信號予該主記憶體位元線解碼器，使得連接到該共用位元線之各該副解碼器都被選擇而呈等電位輸出。

13. 如申請專利範圍第 12 項之非揮發性記憶體，其中該主記憶體位元線解碼器中連接至該共用位元線之該副解碼器包含有一用來接收位址信號之三輸入的 NAND 閘、一個二輸入的 NAND 閘以及一反向器，且該二輸入 NAND 閘的一輸入端係電連接於該三輸入之 NAND 閘的輸出端，而該二輸入 NAND 閘的另一輸入端則係電連接於冗餘位元線解碼器中電連接於該共用位元線之副解碼器的四輸入 NAND 閘的輸出端；

而該冗餘記憶體位元線解碼器中連接至該共用位元線之該副解碼器則包含有一用來接收位址信號以及相符信號



#### 六、申請專利範圍

之四輸入的 NAND 閘、一個二輸入的 NAND 閘以及一個反向器，且該二輸入 NAND 閘的一輸入端係電連接於該四輸入之 NAND 閘的輸出端，而該二輸入 NAND 閘的另一輸入端則係電連接於該主記憶體位元線解碼器中電連接於該共用位元線之副解碼器的三輸入 NAND 閘的輸出端。

14. 如申請專利範圍第 8 項之非揮發性記憶體，其中該非揮發性記憶體係為一具有虛接地陣列結構的非揮發性記憶體。

15. 一種係設於一半導體晶片之基底上的非揮發性記憶體，該非揮發性記憶體包含有：

一主記憶體陣列區，且該主記憶體陣列區包含有至少一主記憶胞：

一直接相連接於該主記憶體陣列區之冗餘記憶體陣列區，且該冗餘記憶體陣列區包含有至少一冗餘記憶胞；以及

一共用摻雜區，設於該主記憶體陣列區與該冗餘記憶體陣列區之交界處，以同時電連接於鄰接於該交界處的該主記憶胞以及該冗餘記憶胞。

16. 如申請專利範圍第 15 項之非揮發性記憶體，其中該主記憶胞以及該冗餘記憶胞均各包含有一源極區與一汲極區設於該半導體晶片之基底內，且該共用摻雜區係用來作為

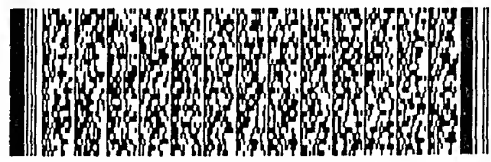
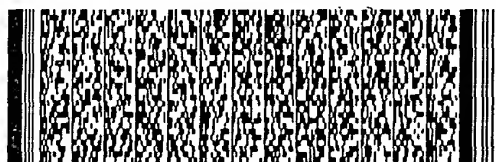


#### 六、申請專利範圍

鄰接於該交界處之該主記憶胞以及該冗餘記憶胞的共用源極區。

17. 如申請專利範圍第15項之非揮發性記憶體，其中該主記憶胞以及該冗餘記憶胞均各包含有一源極區與一汲極區設於該半導體晶片之基底內，且該共用摻雜區係用來作為鄰接於該交界處之該主記憶胞以及該冗餘記憶胞的共用汲極區。

18. 一種控制一虛接地陣列結構之非揮發性記憶體的方  
法，該非揮發性記憶體包含有一主記憶體陣列區，一直接  
相連接於該主記憶體陣列區之冗餘記憶體陣列區，一週邊  
電路區，以及一設於該主記憶體陣列區與該冗餘記憶體陣  
列區之交界處的共用摻雜區，該主記憶體陣列區包含有至  
少一主記憶胞、一電連接於該主記憶胞之汲極區的主位元  
線，以及一電連接於該主記憶胞之源極區的主接地線，該  
冗餘記憶體陣列區包含有至少一冗餘記憶胞、一電連接於  
該冗餘記憶胞之汲極區的冗餘位元線，以及一電連接於該  
冗餘記憶胞之源極區的冗餘接地線，而該週邊電路區則包  
含有一電連接於該主記憶體陣列區之該主接地線的主記憶  
接地線解碼器，一電連接於該冗餘記憶體陣列區之該冗  
餘接地線的冗餘記憶體接地線解碼器，以及至少一第一、  
第二信號傳輸線，且各該信號傳輸線的兩端係分別電連接  
於該主記憶體接地線解碼器與該冗餘記憶體接地線解碼



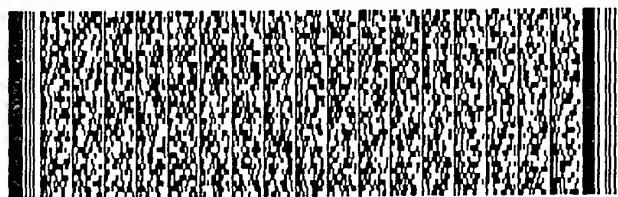
#### 六、申請專利範圍

器，該方法包含有下列步驟：

當欲利用該主記憶體接地線解碼器來定址電連接至該共用摻雜區的一共用接地線時，該主記憶體接地線解碼器會經由該第一信號傳輸線來傳輸一信號予該冗餘記憶體接地線解碼器，以決定該共用接地線與該冗餘記憶體接地線之電位，並使該共用接地線與該冗餘記憶體接地線之電性連接形成開路狀態；以及

當欲利用該冗餘記憶體位元線解碼器來定址該共用接地線時，該冗餘記憶體接地線解碼器會經由該第二信號傳輸線來傳輸一信號予該主記憶體接地線解碼器，以決定該共用接地線之電位，並使該共用接地線與該主記憶體接地線解碼器間之電性連接形成開路狀態。

19. 一種控制一虛接地陣列結構之非揮發性記憶體的方法，該非揮發性記憶體包含有一主記憶體陣列區，一直接相連接於該主記憶體陣列區之冗餘記憶體陣列區，一週邊電路區，以及一設於該主記憶體陣列區與該冗餘記憶體陣列區之交界處的共用摻雜區，該主記憶體陣列區包含有至少一主記憶胞、一電連接於該主記憶胞之汲極區的主位元線，以及一電連接於該主記憶胞之源極區的主接地線，該冗餘記憶體陣列區包含有至少一冗餘記憶胞、一電連接於該冗餘記憶胞之汲極區的冗餘位元線，以及一電連接於該冗餘記憶胞之源極區的冗餘接地線，而該週邊電路區則包含有一電連接於該主記憶體陣列區之該主接地線的主記憶



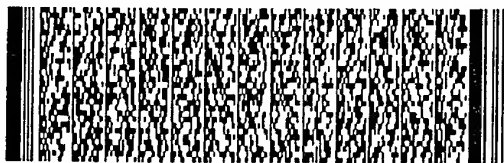
## 六、申請專利範圍

體接地線解碼器，一電連接於該冗餘記憶體陣列區之該冗餘接地線的冗餘記憶體接地線解碼器，以及至少一第一、第二信號傳輸線，且各該信號傳輸線的兩端係分別電連接於該主記憶體接地線解碼器與該冗餘記憶體接地線解碼器，該方法包含有下列步驟：

當欲利用該主記憶體接地線解碼器來定址電連接至該共用摻雜區的一共用接地線時，該主記憶體接地線解碼器會經由該第一信號傳輸線來傳輸一信號予該冗餘記憶體接地線解碼器；使得該共用接地線與各該副解碼器都被選擇而呈等電位輸出；以及

當欲利用該冗餘記憶體接地線解碼器來定址該共用接地線時，該冗餘記憶體接地線解碼器會經由該第二信號傳輸線來傳輸一信號予該主記憶體接地線解碼器，使得該共用接地線與各該副解碼器都被選擇而呈等電位輸出。

20. 一種控制一虛接地陣列結構之非揮發性記憶體的方  
法，該非揮發性記憶體包含有一主記憶體陣列區，一直接  
相連接於該主記憶體陣列區之冗餘記憶體陣列區，一週邊  
電路區，以及一設於該主記憶體陣列區與該冗餘記憶體陣  
列區之交界處的共用摻雜區，該主記憶體陣列區包含有至  
一主記憶胞、一電連接於該主記憶胞之汲極區的主位元  
線，以及一電連接於該主記憶胞之源極區的主接地線，該  
冗餘記憶體陣列區包含有至少一冗餘記憶胞、一電連接於  
該冗餘記憶胞之汲極區的冗餘位元線，以及一電連接於該





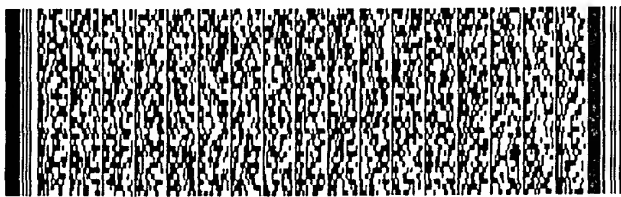
## 六、申請專利範圍

冗餘記憶胞之源極區的冗餘接地線，而該週邊電路區則包含有一電連接於該主記憶體陣列區之該主位元線的該主記憶體位元線解碼器，一電連接於該冗餘記憶體陣列區之該冗餘位元線的冗餘記憶體位元線解碼器，以及至少一第一、第二信號傳輸線，且各該信號傳輸線的兩端係分別電連接於該主記憶體位元線解碼器與該冗餘記憶體位元線解碼器，該方法包含有下列步驟：

當欲利用該主記憶體位元線解碼器來定址電連接至該共用摻雜區的一共用位元線時，該主記憶體位元線解碼器會經由該第一信號傳輸線來傳輸一信號予該冗餘記憶體位元線解碼器，以決定該共用位元線之電位，並使該共用位元線與該冗餘記憶體位元線解碼器間之電性連接形成開路狀態；以及

當欲利用該冗餘記憶體位元線解碼器來定址該共用位元線時，該冗餘記憶體位元線解碼器會經由該第二信號傳輸線來傳輸一信號予該主記憶體位元線解碼器，以決定該共用位元線之電位，並使該共用位元線與該主記憶體位元線解碼器間之電性連接形成開路狀態。

21. 一種控制一虛接地陣列結構之非揮發性記憶體的方，該非揮發性記憶體包含有一主記憶體陣列區，一直接相連接於該主記憶體陣列區之冗餘記憶體陣列區，一週邊電路區，以及一設於該主記憶體陣列區與該冗餘記憶體陣列區之交界處的共用摻雜區，該主記憶體陣列區包含有至



## 六、申請專利範圍

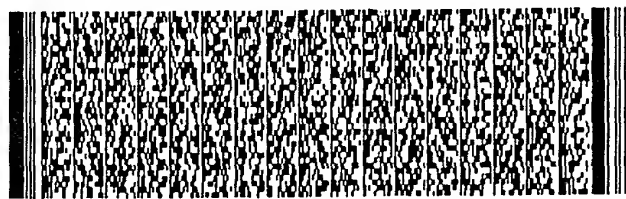
元該於該包憶冗、接  
位，接於則記該一連碼  
主線連接區主之第電解  
的地電連接的區一別線  
區接一電電線至少分元  
極主、一邊元陣至係位  
汲的胞及週位體及端體  
之區憶以該主憶以兩憶  
胞極記，而該記，的記  
憶源餘線，之餘器線餘  
記之冗元線區冗碼輸冗  
主胞一位地列該解傳該  
該憶至少冗餘接陣於線  
於記至冗餘體接元信號  
連接主有的冗憶連接該  
連該包含區的記電體各  
電於包極區的主一憶且  
一接區汲極該，記，元  
、連列之源於器餘線位  
胞、電陣胞之接碼冗輸  
憶一體憶胞連接解的傳  
記及憶記憶胞電線線號  
主以記憶餘記憶一元元  
一，餘冗餘記一元位二  
少線，餘冗餘記一元位二

當欲利用該主記憶體位元線解碼器來定址電連接至該共用摻雜區的一共用位元線時，該主記憶體位元線解碼器共經由該第一信號傳輸線來傳輸一信號予該冗餘記憶體位元線解碼器，使得該共用位元線與各該副解碼器都被選擇而呈等電位輸出；以及

當欲利用該冗餘記憶體位元線解碼器來定址該共用位元線時，該冗餘記憶體位元線解碼器會經由該第二信號傳輸線來傳輸一信號予該主記憶體位元線解碼器，使得該共用位元線與各該副解碼器都被選擇而呈等電位輸出。

22. 一種係設於一半導體晶片之基底上的非揮發性記憶體，該非揮發性記憶體包含有：

一主記憶體陣列區，且該主記憶體陣列區包含有至少



## 六、申請專利範圍

### 一 主記憶胞：

一 直接相連接於該主記憶體陣列區之冗餘記憶體陣列區，且該冗餘記憶體陣列區包含有至少一冗餘記憶胞；

一 共用摻雜區，設於該主記憶體陣列區與該冗餘記憶體陣列區之交界處，為鄰接於該交界處的該主記憶胞以及該冗餘記憶胞所共用；以及

一 週邊電路區，且該週邊電路區包含有至少一解碼器。

23. 如申請專利範圍第 22 項之非揮發性記憶體，其中該解碼器包含有：

一 主記憶體解碼器；

一 冗餘記憶體解碼器；以及

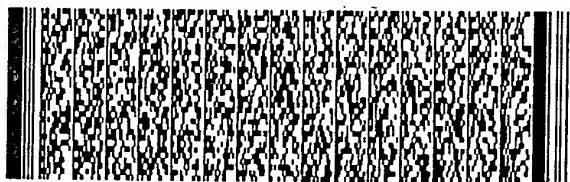
一 共用解碼器。

24. 如申請專利範圍第 23 項之非揮發性記憶體，其中該共用解碼器係為一共用接地線解碼器。

25. 如申請專利範圍第 23 項之非揮發性記憶體，其中該共用解碼器係為一共用位元線解碼器。

26. 一種係設於一半導體晶片之基底上的非揮發性記憶體，該非揮發性記憶體包含有：

一 主記憶體陣列區，且該主記憶體陣列區包含有：



#### 六、申請專利範圍

至少一主記憶胞，且該主記憶胞包含有一主源極區與一主汲極區設於該半導體晶片之基底內；

至少一主位元線，且該主位元線係電連接於該主記憶胞之該主汲極區；

至少一主接地線，且該主接地線係電連接於該主記憶胞之該主源極區；

一直接相連接於該主記憶體陣列區之冗餘記憶體陣列區，且該冗餘記憶體陣列區包含有：

至少一冗餘記憶胞，且該冗餘記憶胞包含有一冗餘源極區與一冗餘汲極區設於該半導體晶片之基底內；

至少一冗餘位元線，且該冗餘位元線係與該冗餘記憶胞之該冗餘汲極區相互電連接；

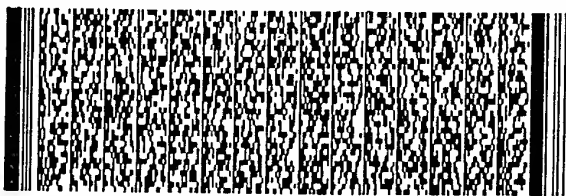
至少一冗餘接地線，且該冗餘接地線係與該冗餘記憶胞之該冗餘源極區相互電連接，其中該主記憶體陣列區與該冗餘記憶體陣列區共用一共用摻雜區；以及

一週邊電路區，且該週邊電路區包含有至少一解碼器。

27. 如申請專利範圍第26項之非揮發性記憶體，其中該解碼器包含有；

主記憶體接地線解碼器，電連接於該主記憶體陣列區之該主接地線；

一冗餘記憶體接地線解碼器，電連接於該冗餘記憶體陣列區之該冗餘接地線；以及



#### 六、申請專利範圍

至少二信號傳輸線，且各該信號傳輸線的兩端係分別電連接於該主記憶體接地線解碼器與該冗餘記憶體接地線解碼器。

28. 如申請專利範圍第 27 項之非揮發性記憶體，其中該解碼器另包含有一共用接地線解碼器。

29. 如申請專利範圍第 26 項之非揮發性記憶體，其中該共用摻雜區係用來當作該主記憶體陣列區與該冗餘記憶體陣列區之交界處的該主源極區以及該冗餘源極區。

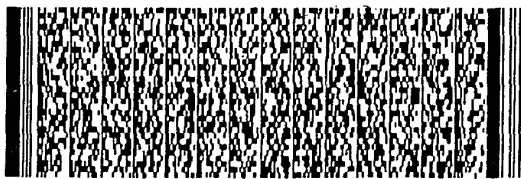
30. 如申請專利範圍第 26 項之非揮發性記憶體，其中該解碼器包含有；

一主記憶體位元線解碼器，電連接於該主記憶體陣列區之該主位元線；

一冗餘記憶體位元線解碼器，電連接於該冗餘記憶體陣列區之該冗餘位元線；以及

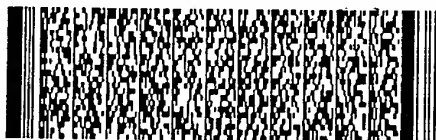
至少二信號傳輸線，且各該信號傳輸線的兩端係分別電連接於該主記憶體位元線解碼器與該冗餘記憶體位元線解碼器。

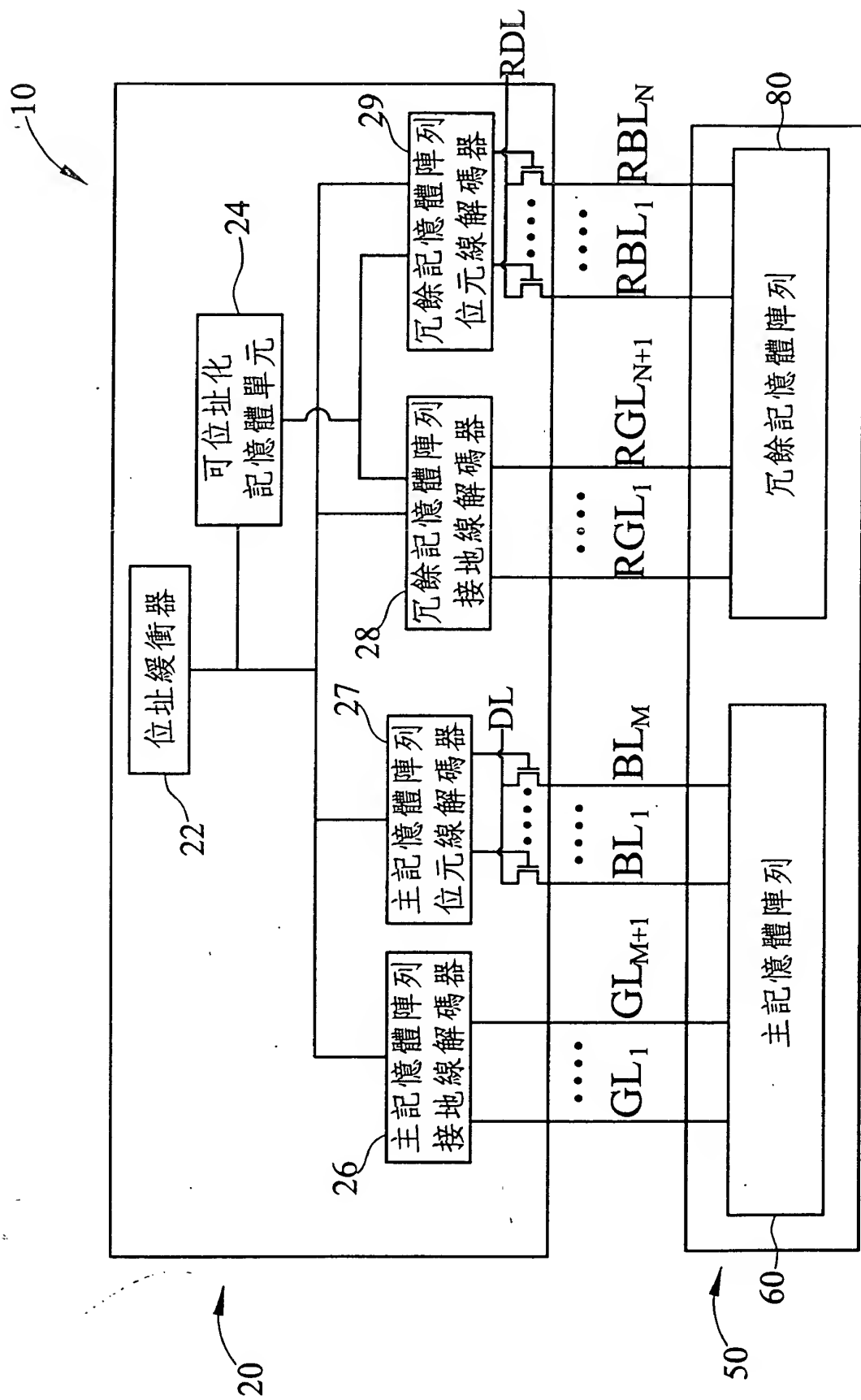
31. 如申請專利範圍第 30 項之非揮發性記憶體，其中該解碼器另包含有一共用位元線解碼器。



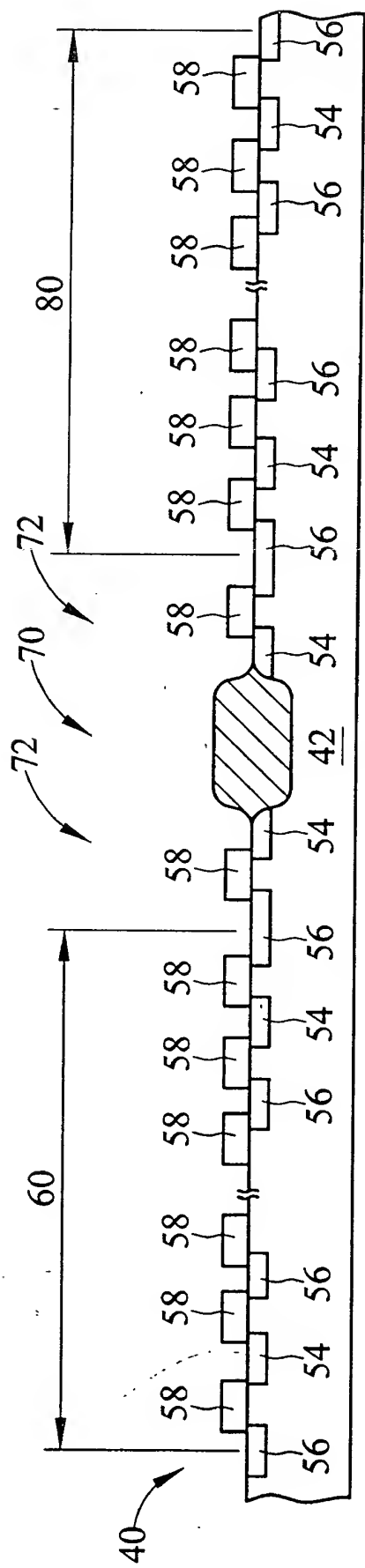
六、申請專利範圍

32. 如申請專利範圍第26項之非揮發性記憶體，其中該共用摻雜區係用來當作該主記憶體陣列區與該冗餘記憶體陣列區之交界處的該主汲極區以及該冗餘汲極區。

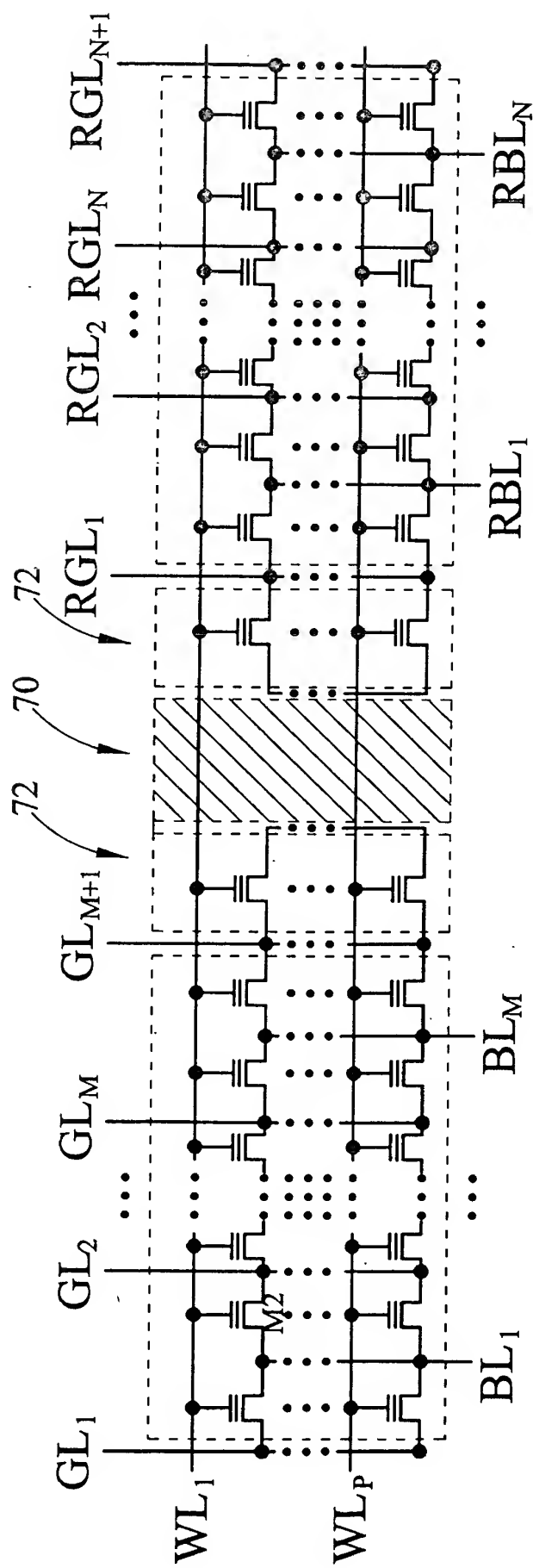




圖一

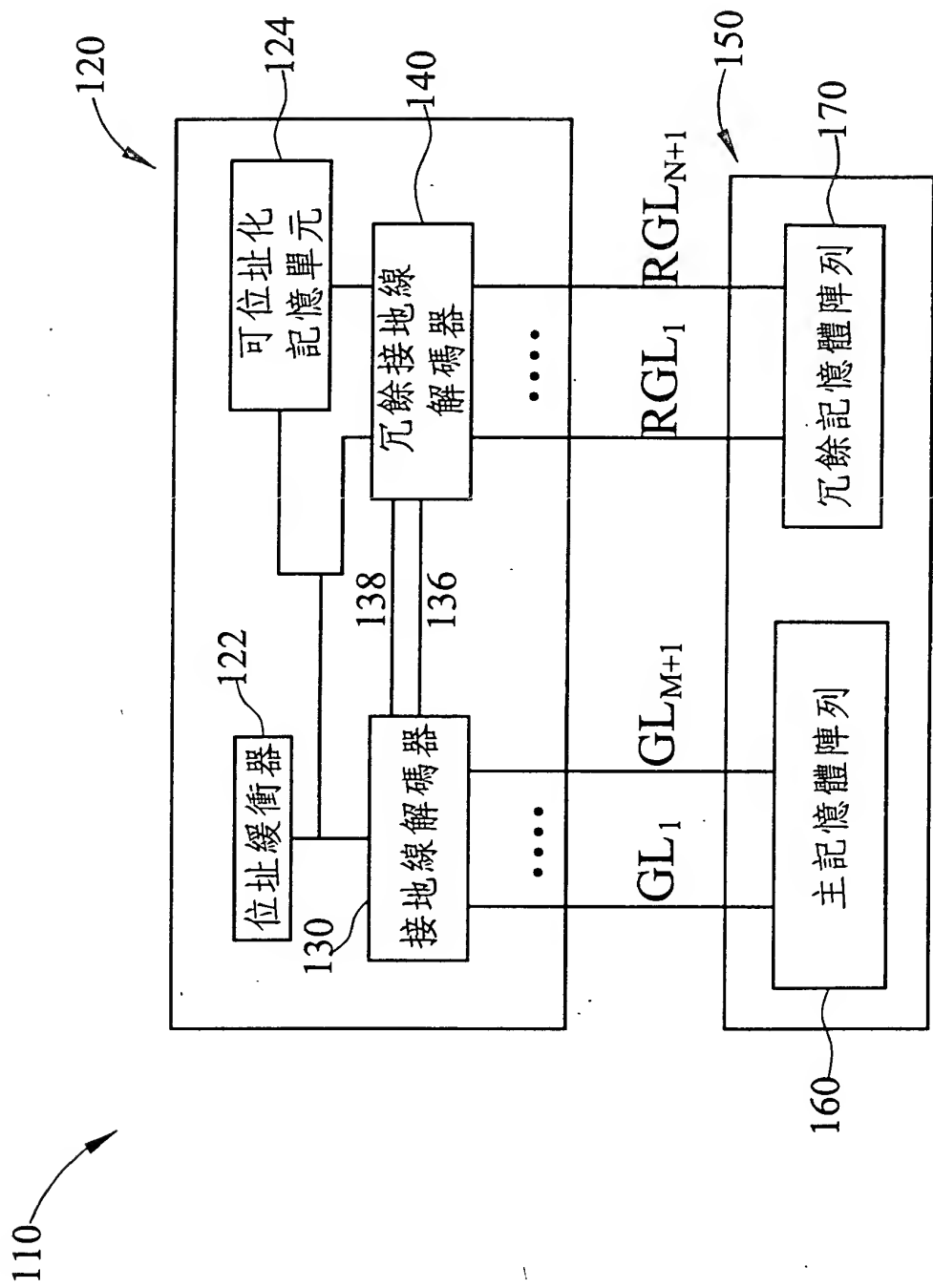


圖二A



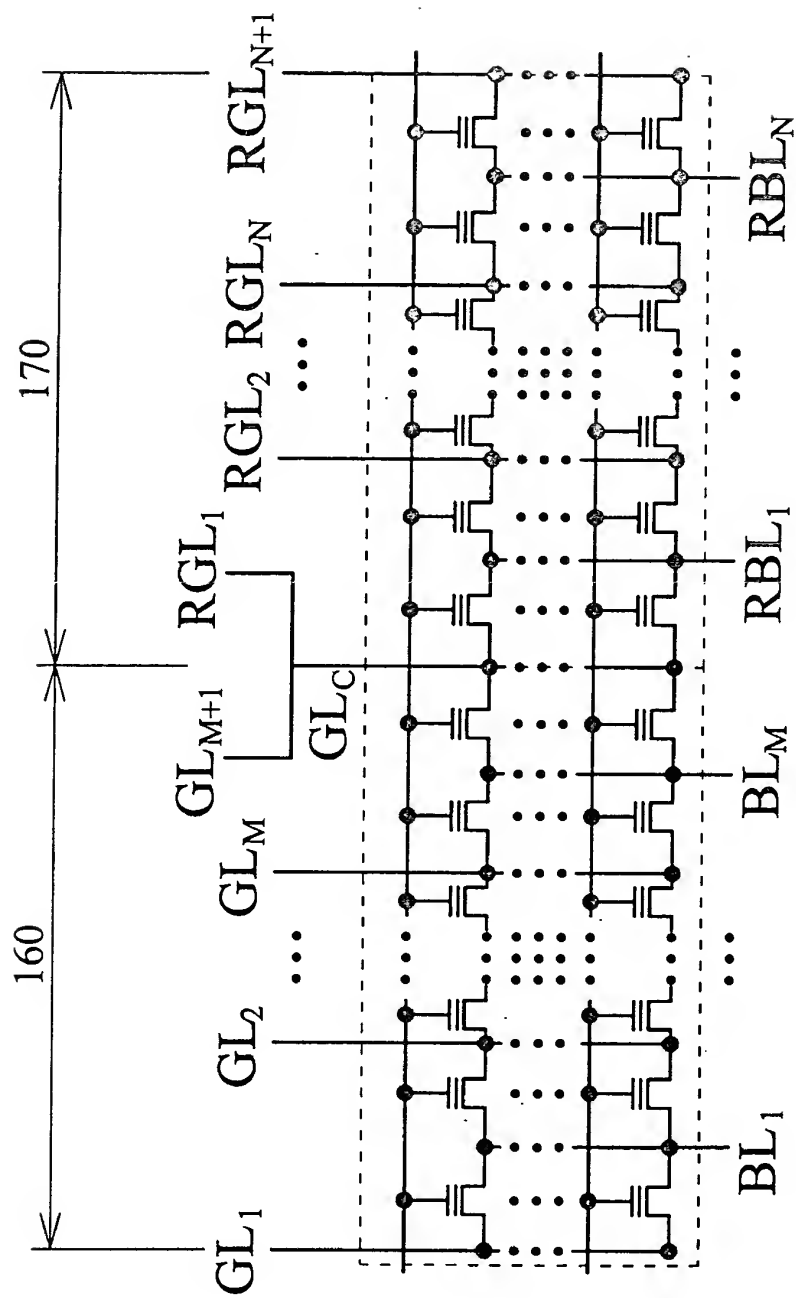
圖二B





圖三

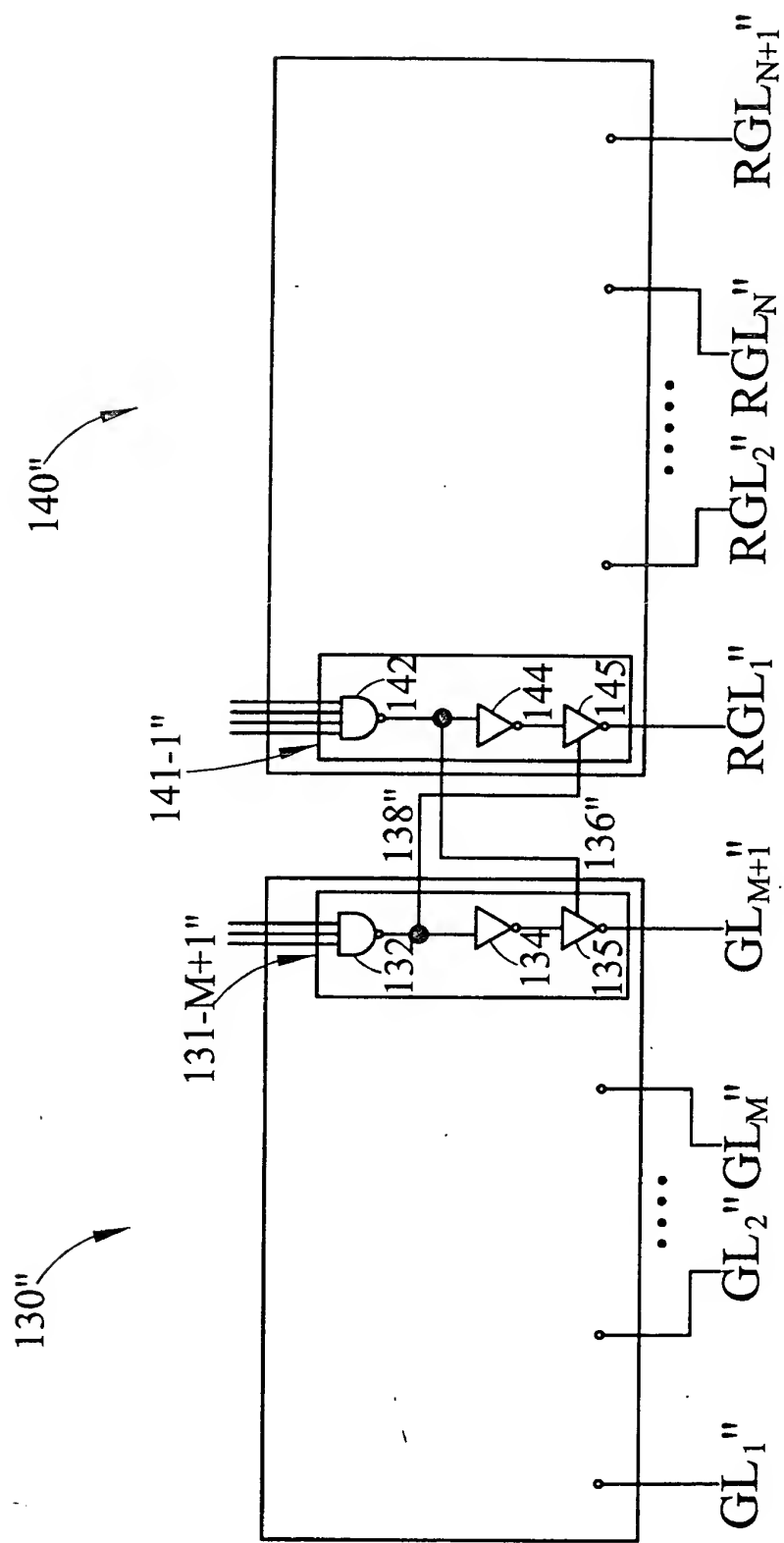
150



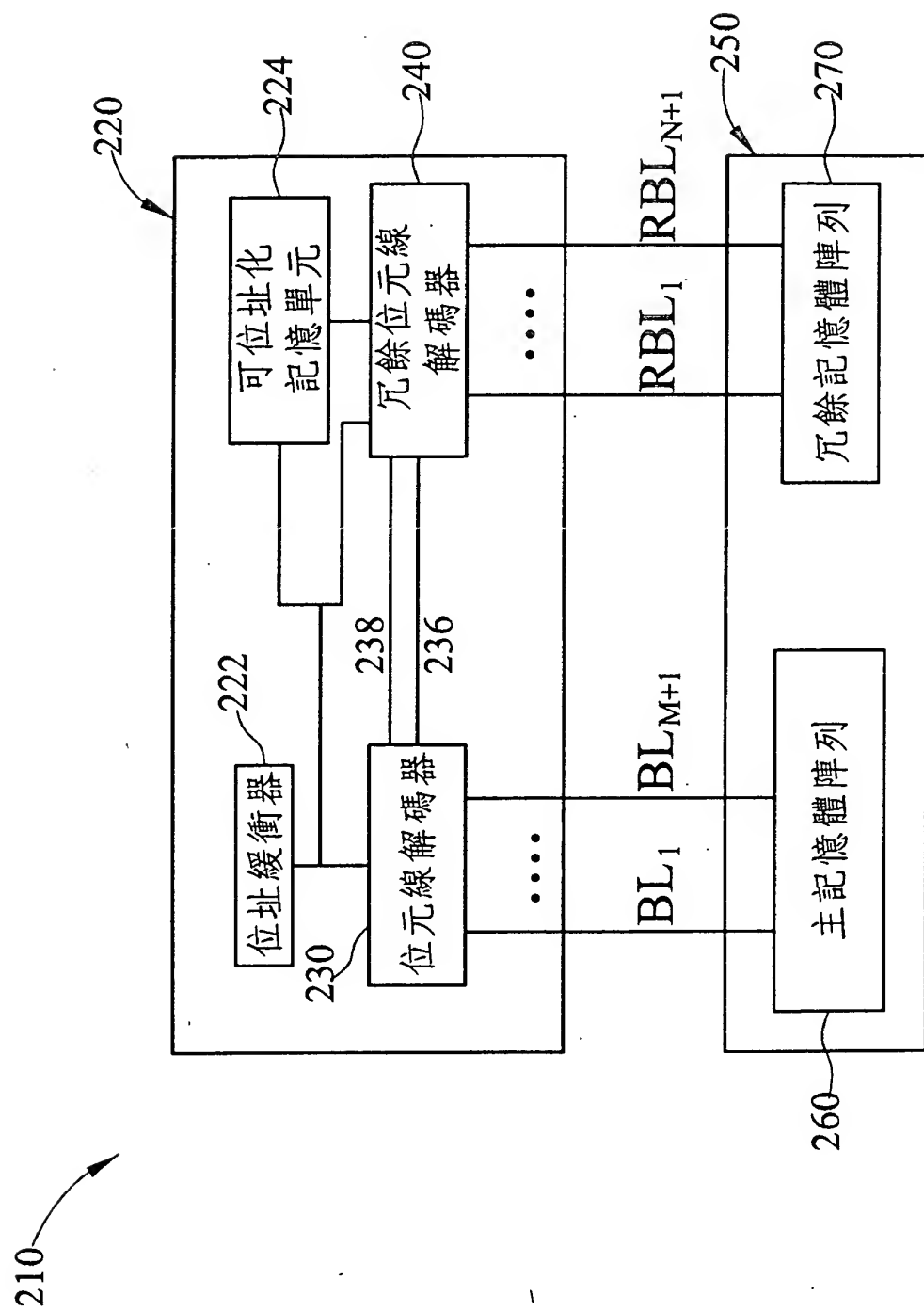
圖四



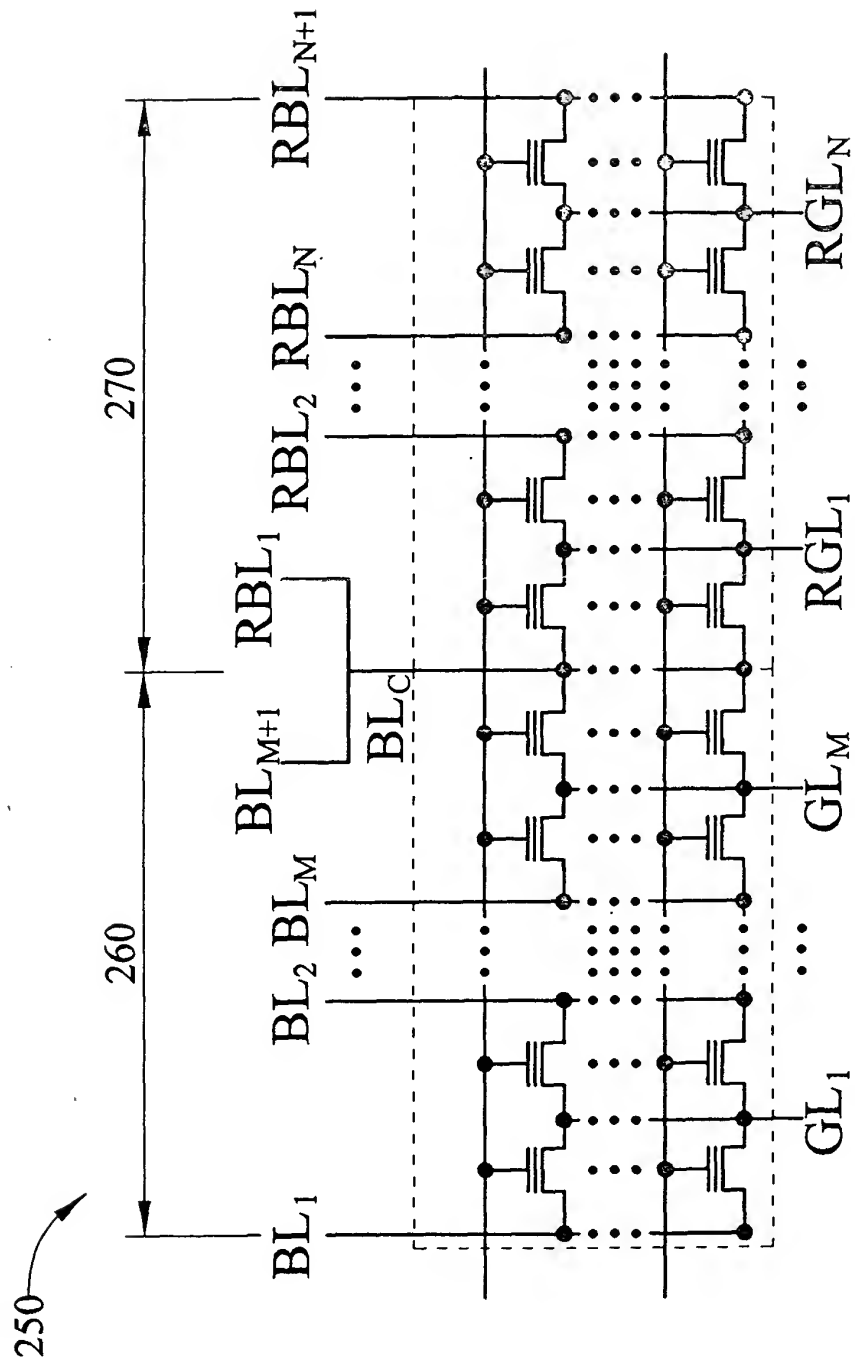




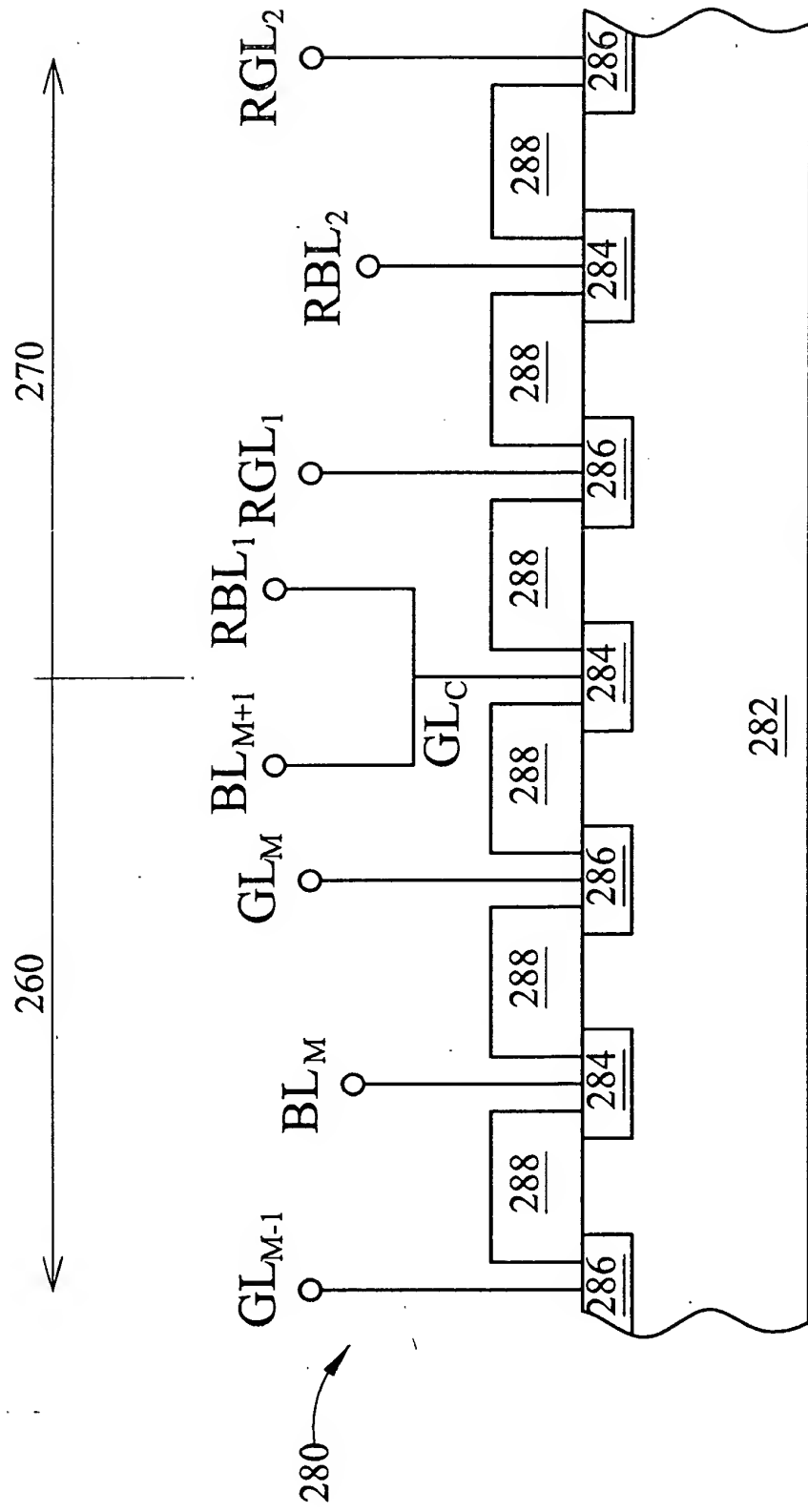
圖六B



圖七

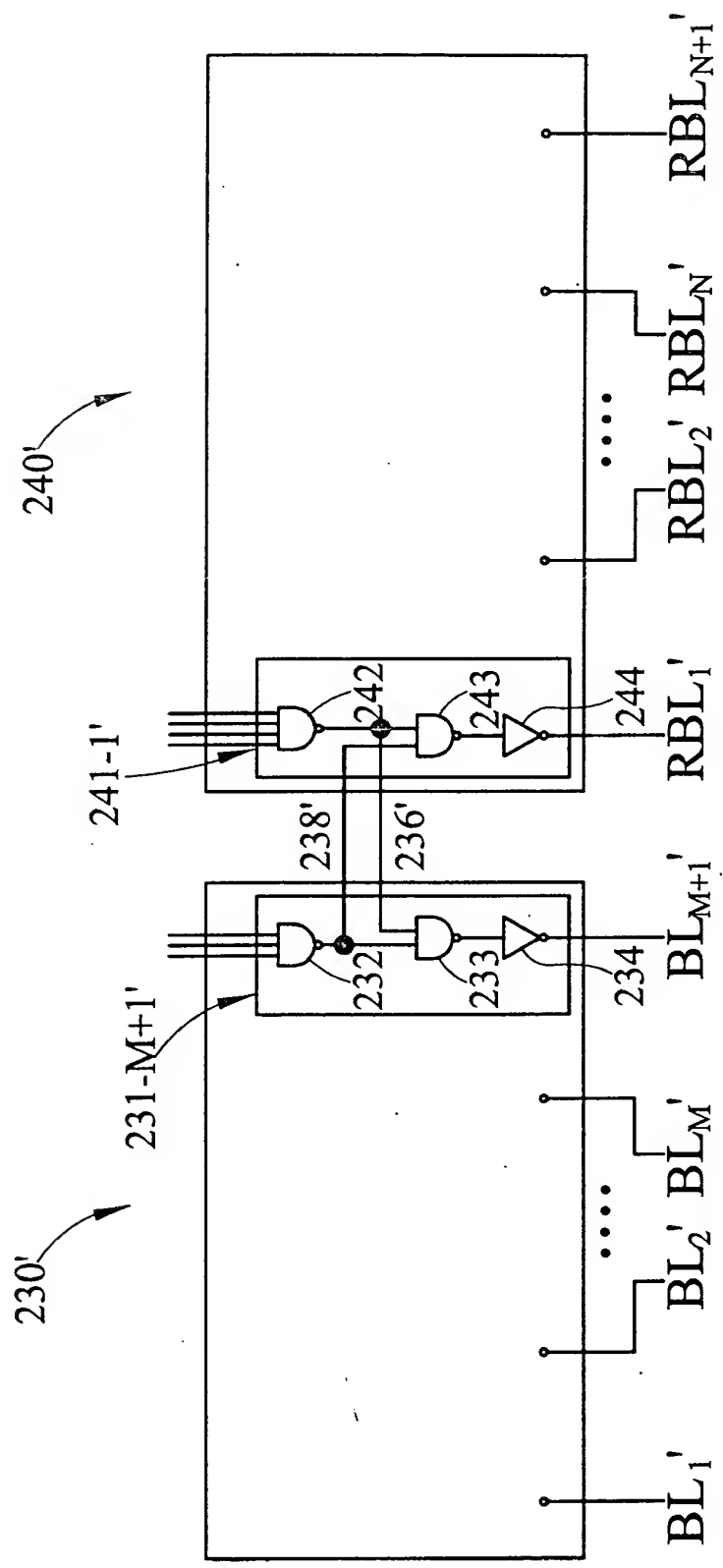


圖八

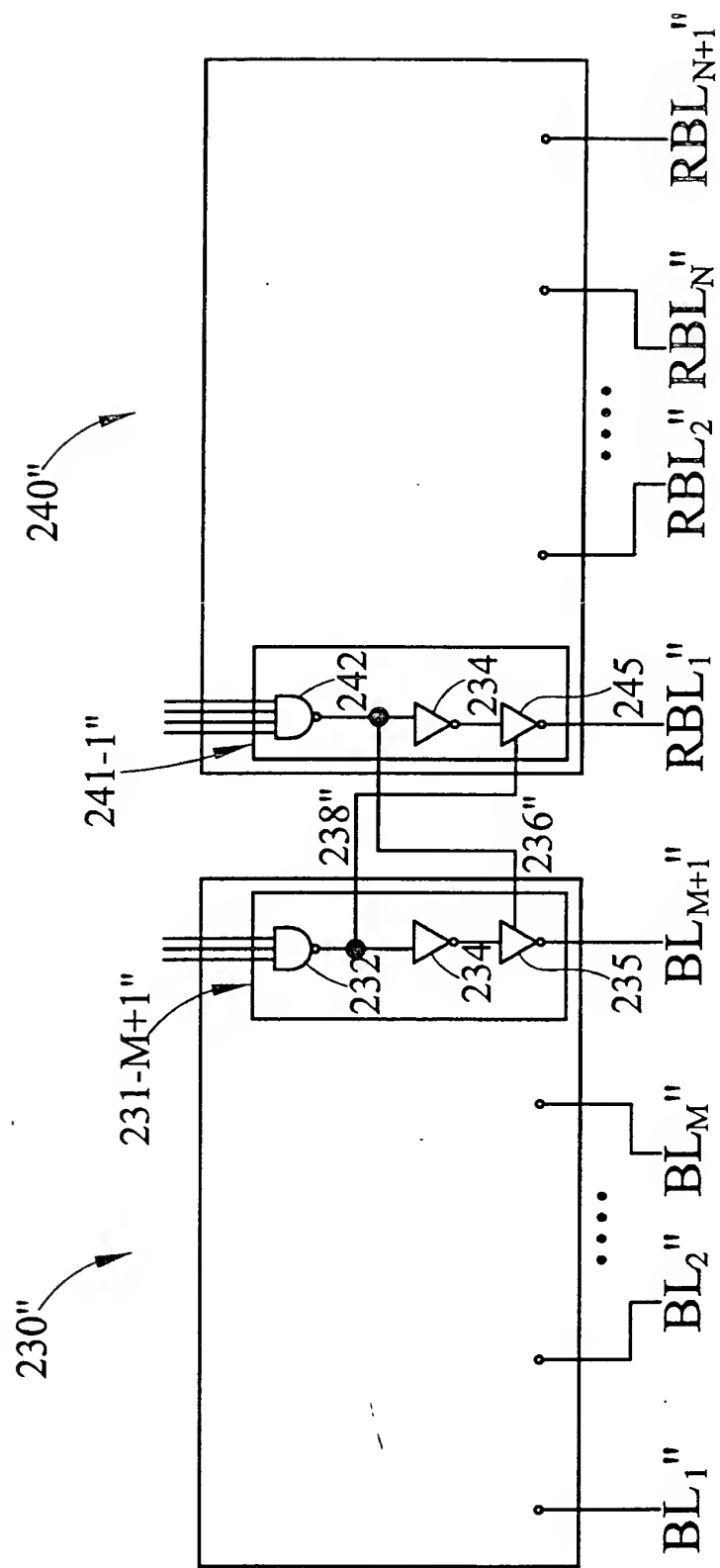


圖九



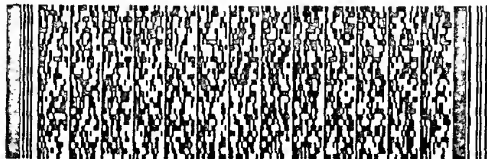


圖十A



圖十B

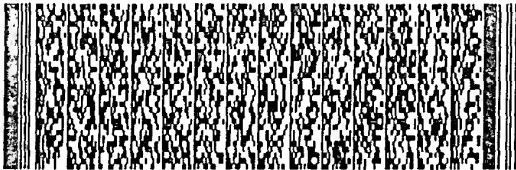
第 1/45 頁



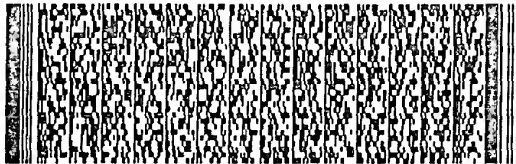
第 2/45 頁



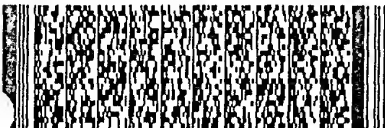
第 2/45 頁



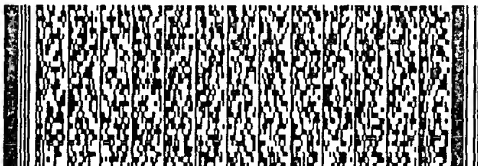
第 3/45 頁



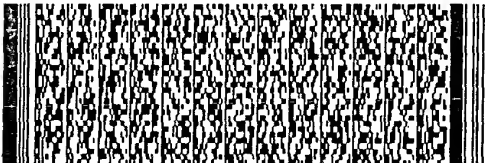
第 4/45 頁



第 6/45 頁



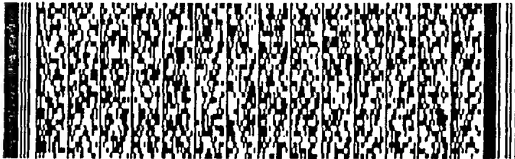
第 6/45 頁



第 7/45 頁



第 7/45 頁



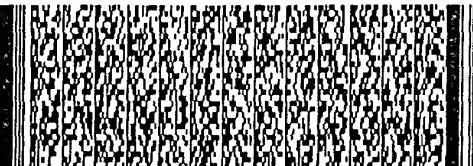
第 8/45 頁



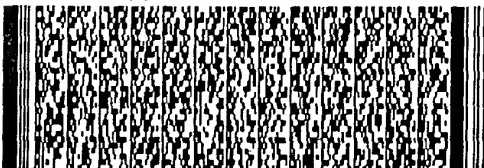
第 8/45 頁



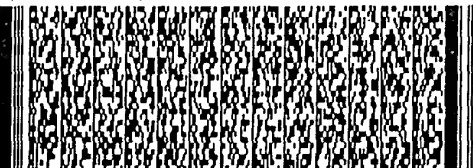
第 9/45 頁



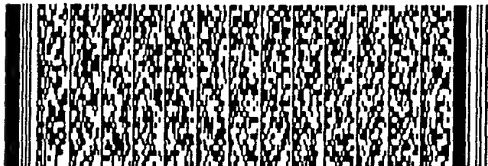
第 9/45 頁



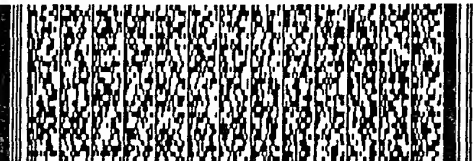
第 10/45 頁



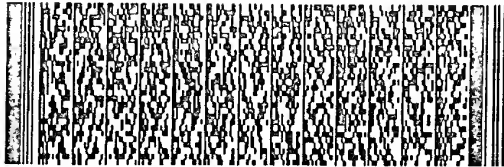
第 10/45 頁



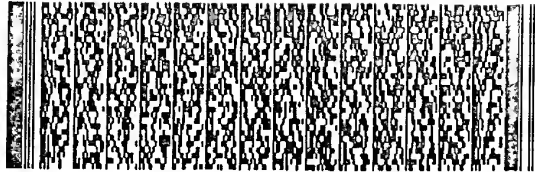
第 11/45 頁



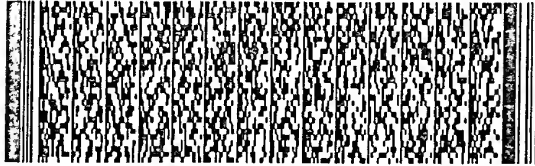
第 11/45 頁



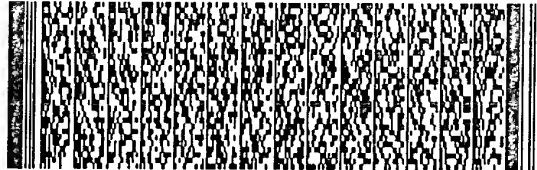
第 12/45 頁



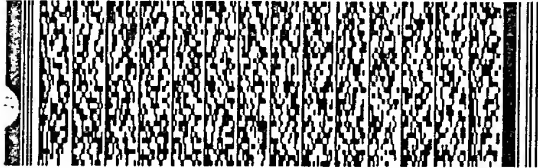
第 12/45 頁



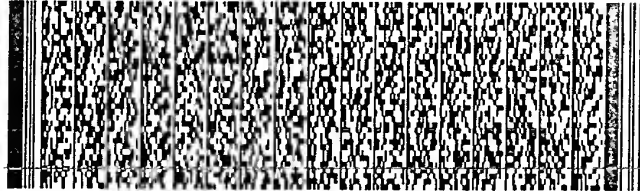
第 13/45 頁



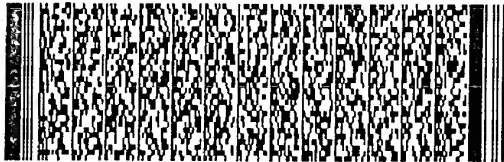
第 13/45 頁



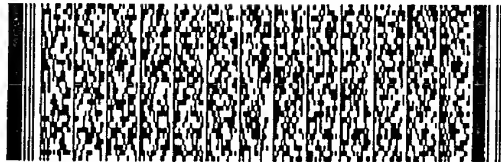
第 14/45 頁



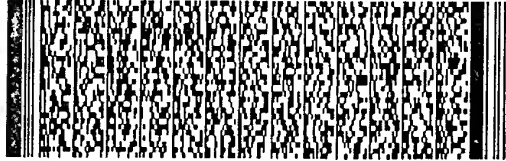
第 15/45 頁



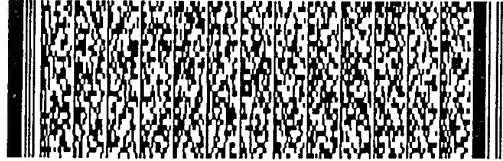
第 15/45 頁



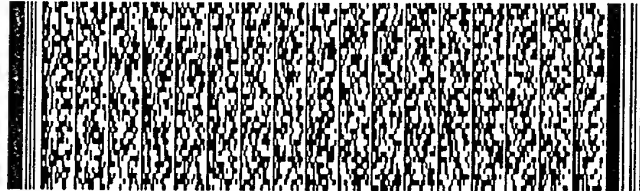
第 16/45 頁



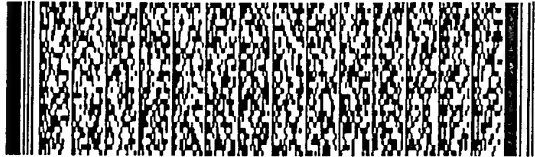
第 16/45 頁



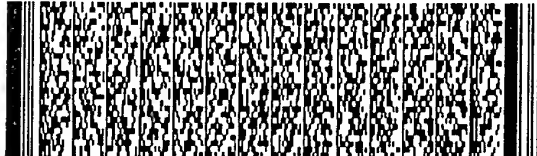
第 17/45 頁



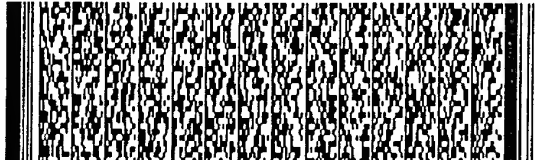
第 18/45 頁



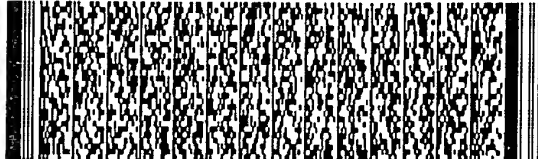
第 18/45 頁



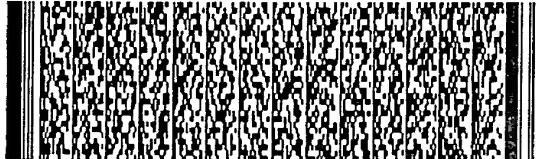
第 19/45 頁



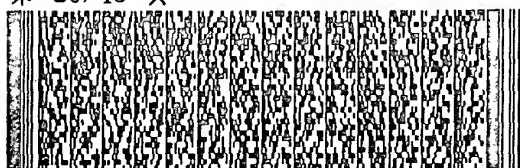
第 19/45 頁



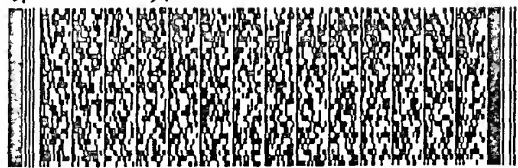
第 20/45 頁



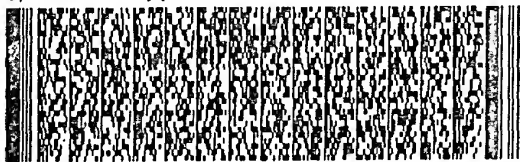
第 20/45 頁



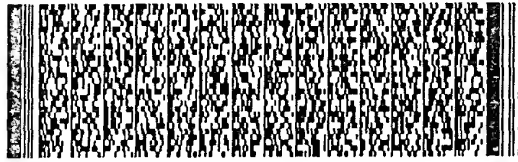
第 21/45 頁



第 21/45 頁



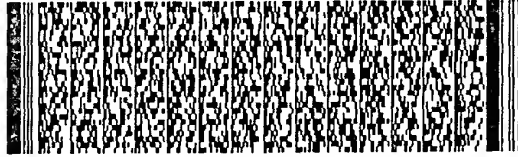
第 22/45 頁



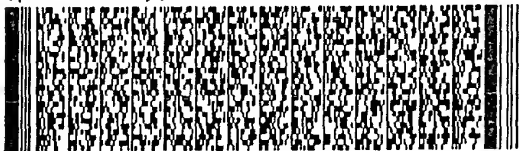
第 22/45 頁



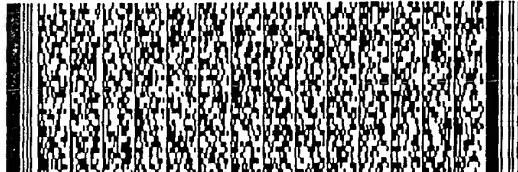
第 23/45 頁



第 23/45 頁



第 24/45 頁



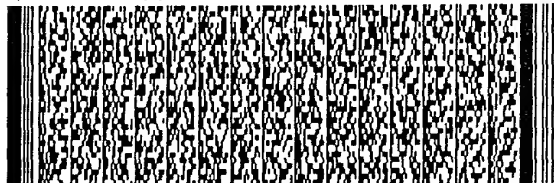
第 25/45 頁



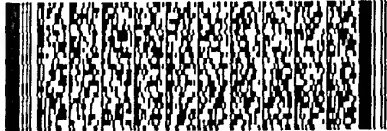
第 26/45 頁



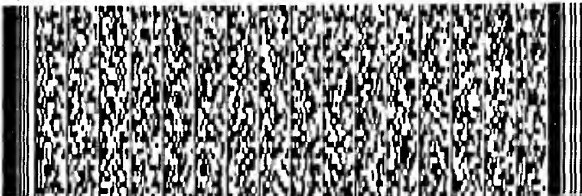
第 27/45 頁



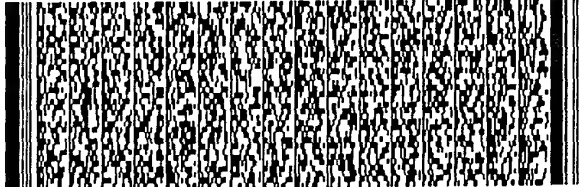
第 28/45 頁



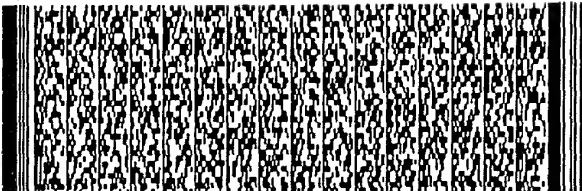
第 29/45 頁



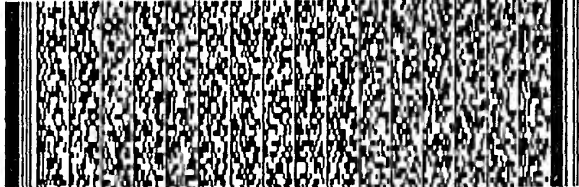
第 30/45 頁



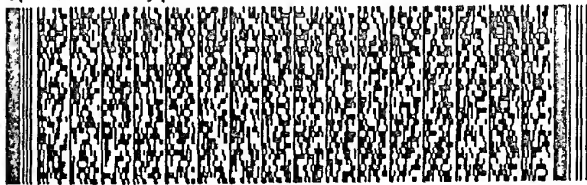
第 31/45 頁



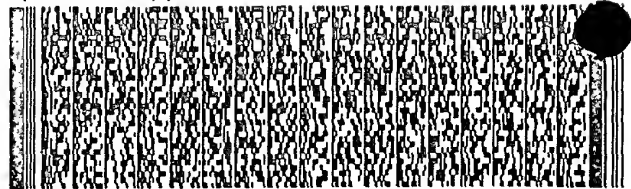
第 32/45 頁



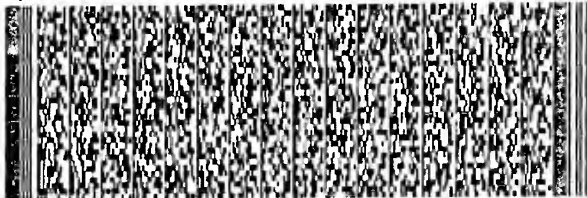
第 33/45 頁



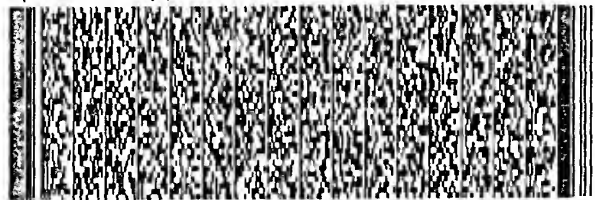
第 34/45 頁



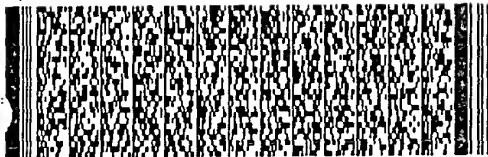
第 35/45 頁



第 36/45 頁



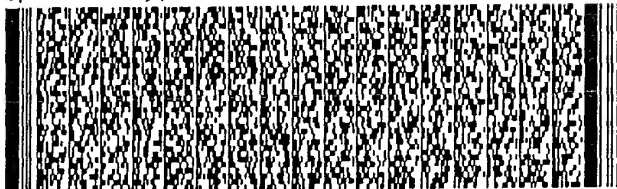
第 37/45 頁



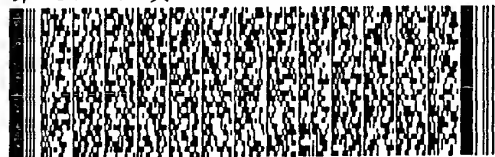
第 37/45 頁



第 38/45 頁



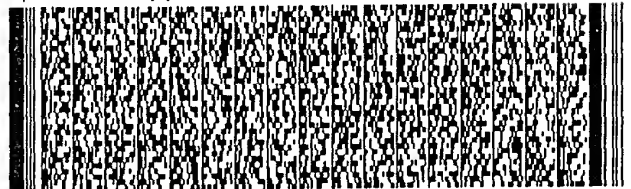
第 39/45 頁



第 39/45 頁



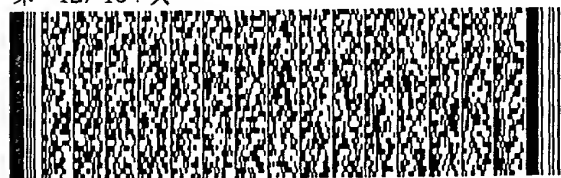
第 40/45 頁



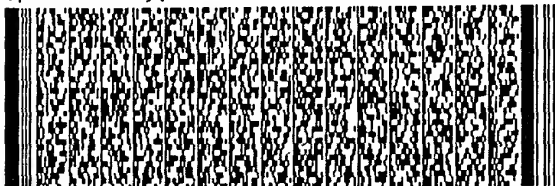
第 41/45 頁



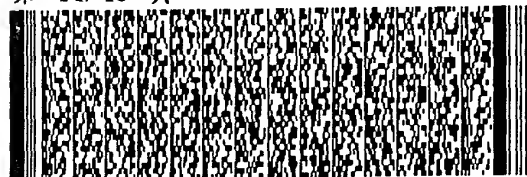
第 42/45 頁



第 43/45 頁



第 44/45 頁



第 45/45 頁

